

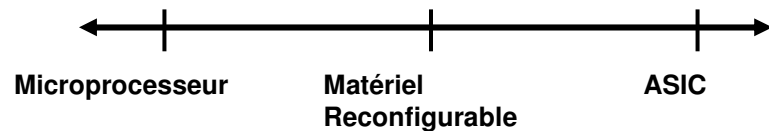
---


## Architectures reconfigurables (FPGA) et spécialisation d'instructions

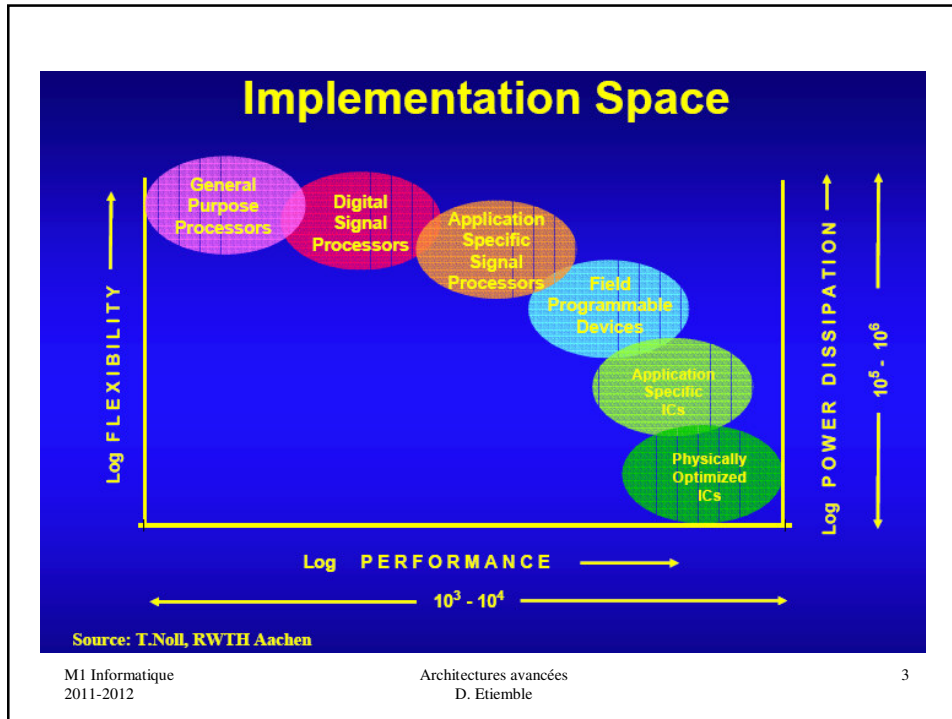
Daniel Etiemble  
de@lri.fr

### Le spectre d'implémentation

---



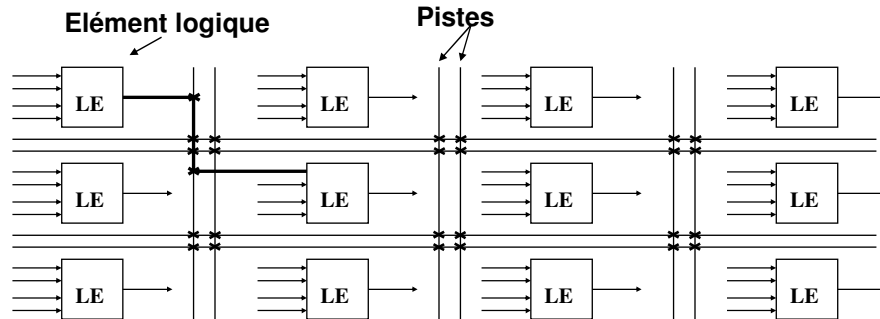
- ASIC
    - Haute performance – dédié à l'application
    - Non modifiable
  - Processeur
    - Programmable
    - Non dédié à l'application
  - Matériel reconfigurable
    - Bon compromis
- 



## Les réseaux logiques programmables de l'extérieur (FPGA)

- Objectif : circuit composé d'éléments « programmables » capables de réaliser
  - Les opérateurs combinatoires
  - Les opérateurs séquentiels (bascules)
  - Les automates (Moore – Mealy)
  - *RAM enfouie*
  - *Multiplieurs*
  - *Processeurs*
  - ....
- Programmation externe
  - Des opérateurs élémentaires
  - Des connexions entre opérateurs

## Les FPGA



- Chaque élément logique produit une sortie
- Interconnexion programmable entre les éléments
- Pistes d'interconnexion regroupées en canaux
- Éléments logiques : mémoire SRAM.

## Elément logique

- LUT (Look-up table)
  - SRAM à 4 ou 5 bits d'adresse et 1 bit de sortie
  - Implante toutes les tables de vérité de 4 ou 5 entrées
- Avantage
  - Programmable (SRAM)
  - Toutes les fonctions sont équivalentes
    - XOR
- Bascule D

Adresse	Adresse	Contenu
0	0000	0
1	0001	1
2	0010	1
3	0011	0
4	0100	1
5	0101	0
6	0110	0
7	0111	1
8	1000	1
9	1001	0
10	1010	0
11	1011	1
12	1100	0
13	1101	1
14	1110	1
15	1111	0

# LUT dans un bloc logique

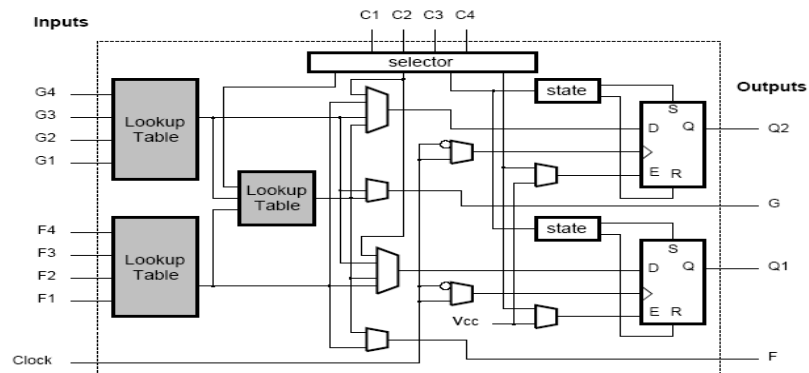
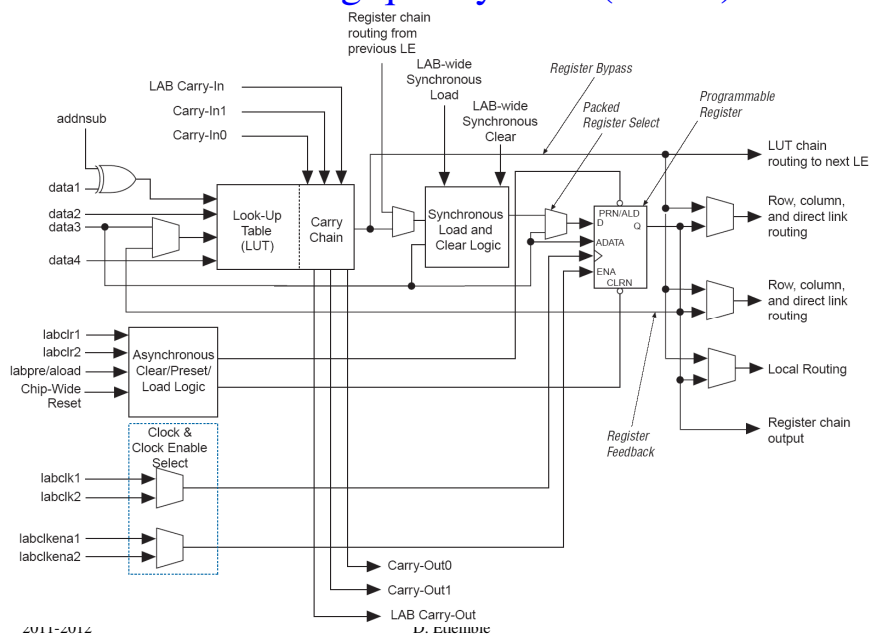
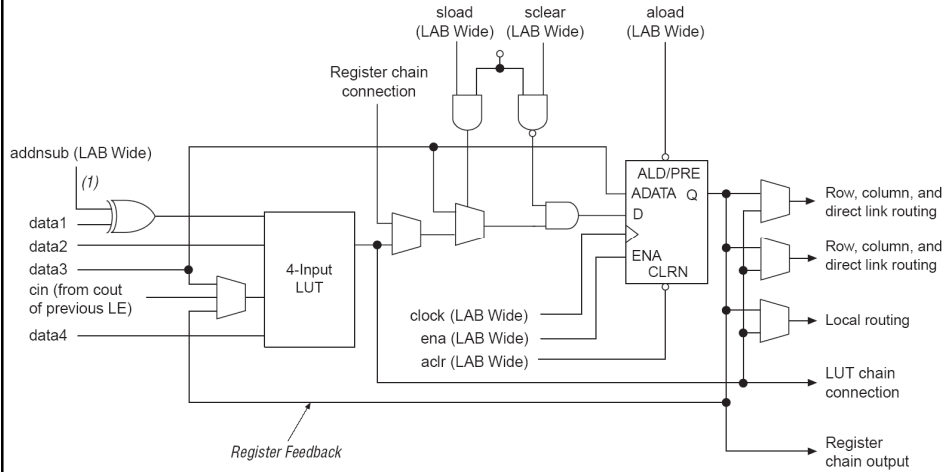


Figure 18 - Xilinx XC4000 Configurable Logic Block (CLB).

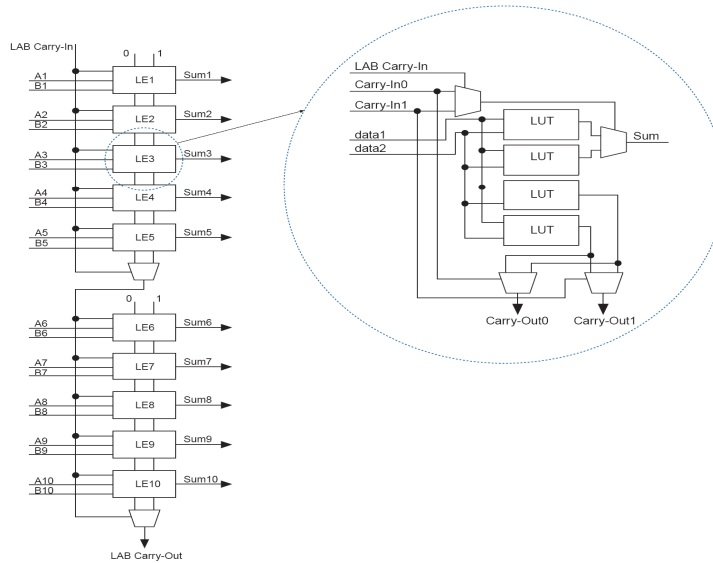
# Elément logique Cyclone (Altera)



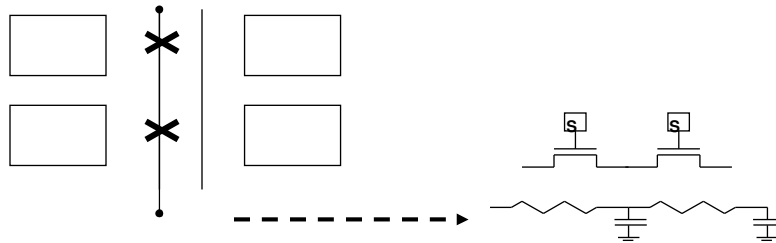
## Elément logique – Mode normal



## Elément logique : retenues rapides



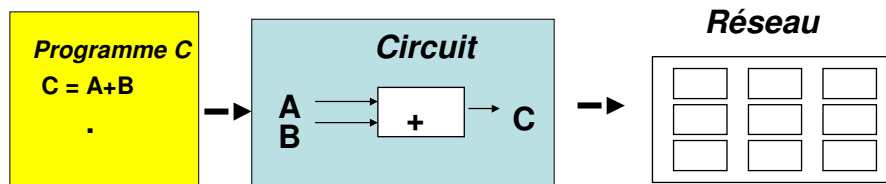
## Les problèmes du monde physique



### Coût des connexions

- Modélisation des délais.
- Amélioration des performances par buffers/segmentation
  - Connexions locales
  - Connexions globales (horloges...)
- Dépend de la technologie
- Coût de la reconfigurabilité

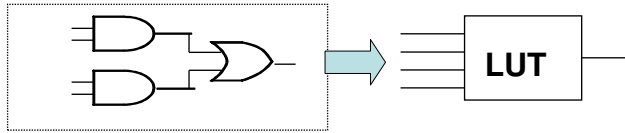
## De la conception au FPGA



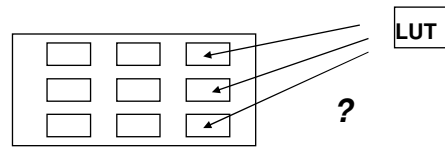
- CAO pour passer de la description textuelle du circuit à l'implantation physique est au point
- CAO pour passer du programme C au circuit pas encore au point (mais apparaissent des compilateurs C2H)
- Très difficile pour les concepteurs d'écrire des applications haute performance

## Compilation de circuit

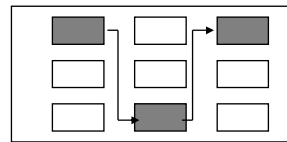
- De la fonction aux éléments logiques physiques



- Placement physique des LUT

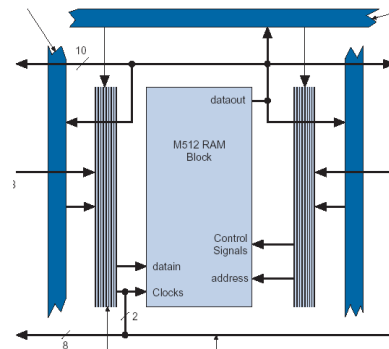


- Routage : sélectionner fils et commutateurs pour les connexions

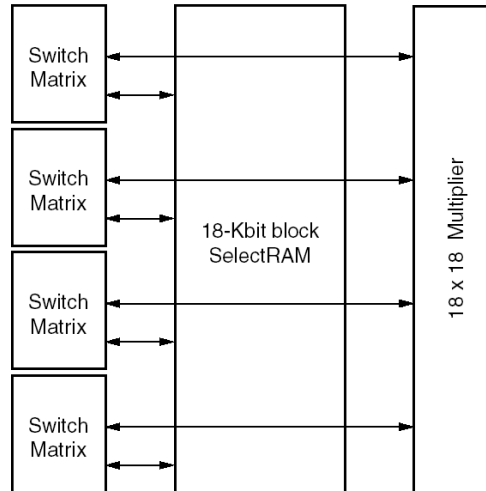


## RAM enfouie

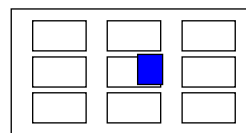
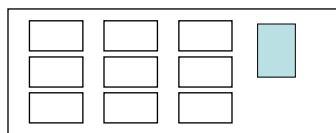
- Xilinx – Block SelectRAM
  - 18Kb dual-port RAM arranged in columns
- Altera – TriMatrix Dual-Port RAM
  - M512 – 512 x 1
  - M4K – 4096 x 1
  - M-RAM – 64K x 8



## Multiplieurs enfouis



## Processeur + FPGA : processeur intégré



- Processeur dans le FPGA
  - Processeur en dur
    - PowerPC (Xilinx)
  - Coeur défini par logiciel (soft core)
    - NIOS II (Altera)
    - MicroBlaze (Xilinx)

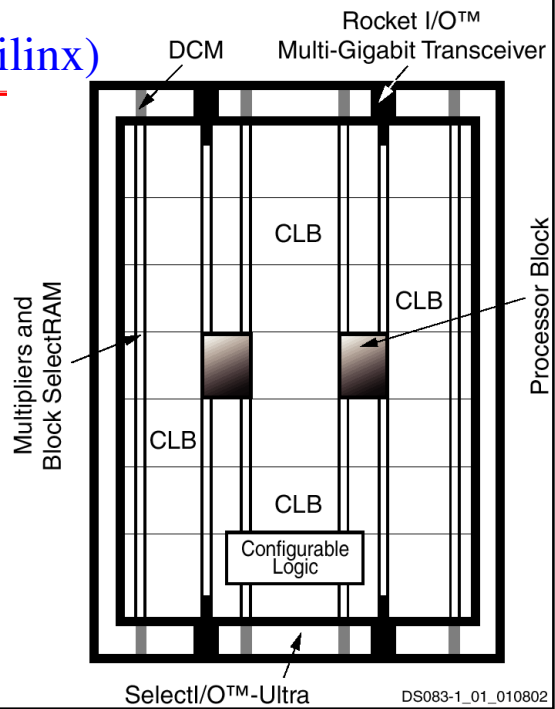


## Exemple ancien (Xilinx)

Le Virtex II Pro de Xilinx contient jusqu'à 4 cœurs de processeurs PowerPC

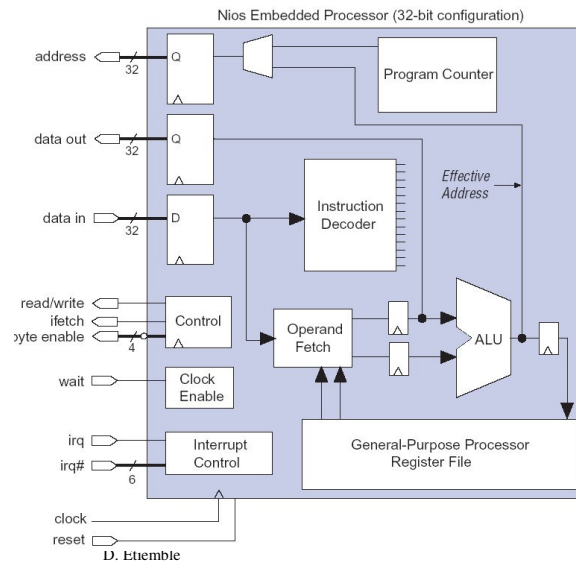
[© and source: Xilinx Inc.: Virtex-II Pro™ Platform FPGAs: Functional Description, Sept. 2002, //www.xilinx.com]

M1 Informatique  
2011-2012



## Altera NIOS II

- Processeur RISC  
32 bits (soft core)



M1 Informatique  
2011-2012

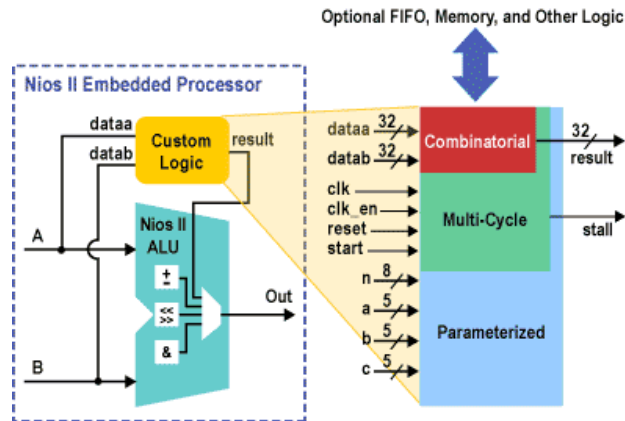
# Altera NIOS

The screenshot shows the Altera SOPC Builder interface. On the left, a tree view lists components under categories like Bridges, Communication, Memory, and Other. The main window displays a system clock frequency of 80.00 MHz and a table of modules. A hardware block diagram on the right shows the Nios CPU, DMA Controller, and Avalon Bus connected to various peripherals like Data Memory, Instruction Memory, SDRAM Controller, UART, Parallel I/O, and Ethernet 13100.

Use	Module Name	Description	Bus Type	Base	End	IRQ
<input checked="" type="checkbox"/>	arm_922t_stripe	ARM-based Excal...				
<input checked="" type="checkbox"/>	ahb_ethernet...	AHB Ethernet MAC	AHB	0x00805000	0x00805FFF	19
<input checked="" type="checkbox"/>	nios_cpu	Altera Nios 2.0 CPU	avalon			
<input checked="" type="checkbox"/>	boot_monitor	On-Chip Memory (...)	avalon	0x00804400	0x008047FF	
<input checked="" type="checkbox"/>	uart1	UART (RS-232 seri...	avalon	0x00804000	0x0080401F	16
<input checked="" type="checkbox"/>	uart2_debug	UART (RS-232 seri...	avalon	0x00804020	0x0080403F	17
<input checked="" type="checkbox"/>	tri_state_bridg...	Avalon Tri-State Br...	avalon   avalon...			
<input checked="" type="checkbox"/>	ext_flash	Flash Memory	avalon_tristate	0x00808000	0x00808FFF	
<input checked="" type="checkbox"/>	ext_ram	SRAM (one or two ...)	avalon_tristate	0x00840000	0x00840FFF	
<input checked="" type="checkbox"/>	timer1	Interval timer	avalon	0x00804040	0x0080405F	18
<input checked="" type="checkbox"/>	pio_0	PIO (Parallel I/O)	avalon	0x00804060	0x0080406F	
<input checked="" type="checkbox"/>	pio_1	PIO (Parallel I/O)	avalon	0x00804070	0x0080407F	

**Le SOPC Builder permet de constituer « l'ordinateur » : CPU, Mémoire Horloges et contrôleurs**

## Spécialisation d'instructions avec NIOS II



- La spécialisation d'instructions (customization) concerne essentiellement les instructions combinatoires et multi-cycles

# Altera NIOS

The image shows the Altera Nios configuration interface and a system architecture diagram. The configuration window is titled "Altera Nios - cpu" and has tabs for "Architecture", "Hardware Configuration", "Software Configuration", and "Custom Instructions". The "Architecture" tab is active, showing options for "Nios-16" and "Nios-32". The "Nios-32" option is selected, with details: "32-bit ALU, registers, and data bus" and "32-bit addressing (maximum)". There are also options for "Preset Configurations" (Standard features / Average LE usage) and a checked box for "Enable advanced configuration controls". A red text overlay on the configuration window reads: "On configure le processeur (diviseurs ou non, taille des caches...)." and "On ajoute les instructions spécialisées spécifiées en VHDL".

The system architecture diagram shows a central "Avion Bus" connected to several components: "Nios CPU", "On-Chip Debug", "DMA Controller", "Data Memory", "Instruction Memory", "SDRAM Controller", "UART", "Parallel I/O", and "Ethernet I/O/100".

A detailed diagram of the "Nios Embedded Processor" shows it connected to "Custom Logic" and "FIFO Memory or Other Logic". The processor has inputs "A" and "B" and an "Out" signal. The "Custom Logic" block is connected to the processor's "A" and "B" inputs and its "Out" output.

M1 Informatique 2011-2012 Architectures avancées D. Etiemble 21

## Procédure pour ajouter des instructions spécialisées

- On spécifie les instructions spécialisées
  - Code VHDL, compilation et test (sous Quartus)
- On ajoute les instructions spécialisées au système global sous SOPC builder
- On génère le VHDL de l'ensemble
  - Génération sous SOPC builder.
- On compile le VHDL global (Quartus)
- On charge le fichier résultat sur la carte contenant le FPGA.

## Utilisation des instructions spécialisées

---

- Programme C
  - Ajouter un « define » pour chaque instruction spécialisée

```
// définition des instructions "ajoutées".  
#define I1(a,b) __builtin_custom_inii(0,a,b)  
#define I2(a,b) __builtin_custom_inii(1,a,b)  
#define I3(a,b) __builtin_custom_inii(2,a,b)  
#define I4(a) __builtin_custom_ini (3,a,b)  
// etc... remplacer I1, I2, I3, I4... par les noms  
des instructions à exécuter.
```

## Exemple de code

---

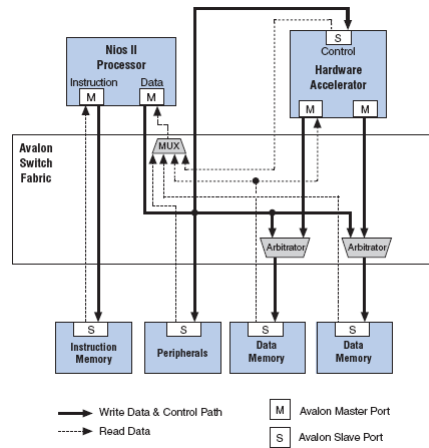
- Avec une fonction spécialisée Max32 (a,b)

```
int a,b,c;  
if (a>b) c=a;  
else c=b;
```



```
int a,b,c;  
c= Max32 (a,b); //instruction spécialisée
```

## Le compilateur C2H



- Génère des accélérateurs matériels
  - Calcul
  - Accès mémoire
- Concerne essentiellement les fonctions C (boucle, nids de boucles)
- Limité aux formats entiers
  - Pas de flottants