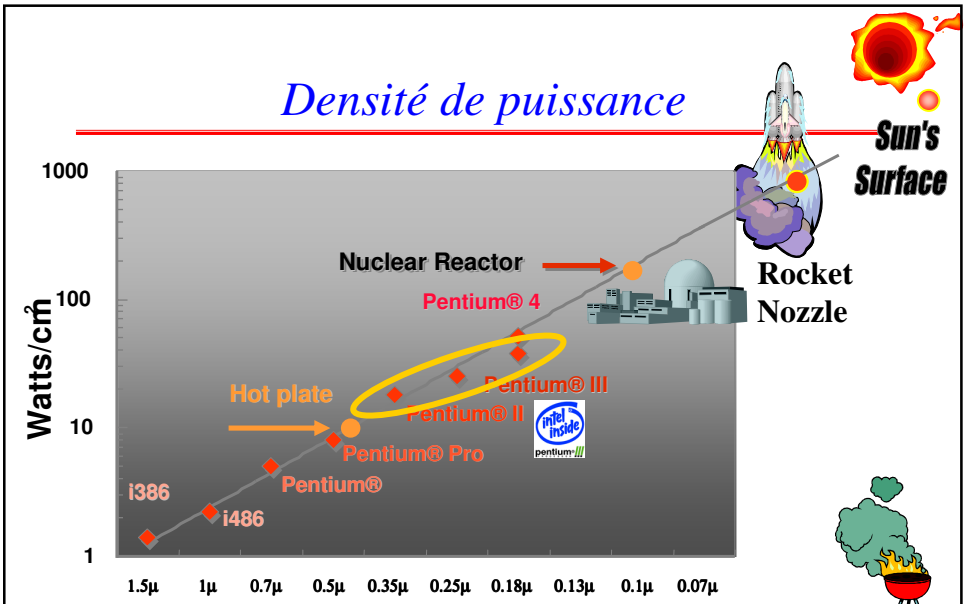
Architectures matérielles, puissance et énergie

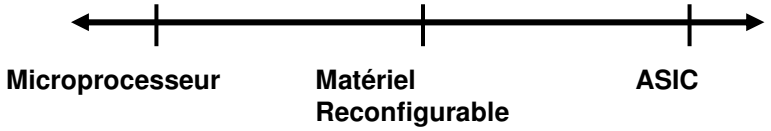
Daniel Etiemble
de@lri.fr

Densité de puissance



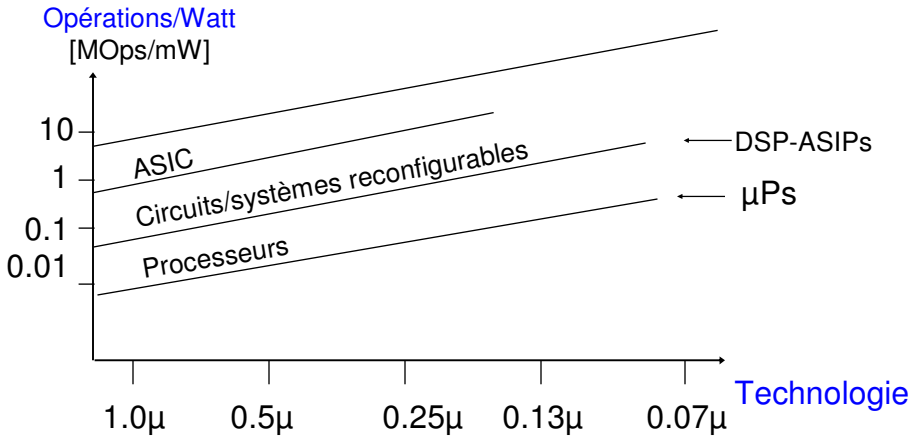
* "New Microarchitecture Challenges in the Coming Generations of CMOS Process Technologies" – Fred Pollack, Intel Corp. Micro32 conference key note - 1999.

Le spectre d'implémentation



- ASIC
  - Haute performance – dédié à l'application
  - Non modifiable
- Processeur
  - Programmable
  - Non dédié à l'application
- Matériel reconfigurable
  - Bon compromis

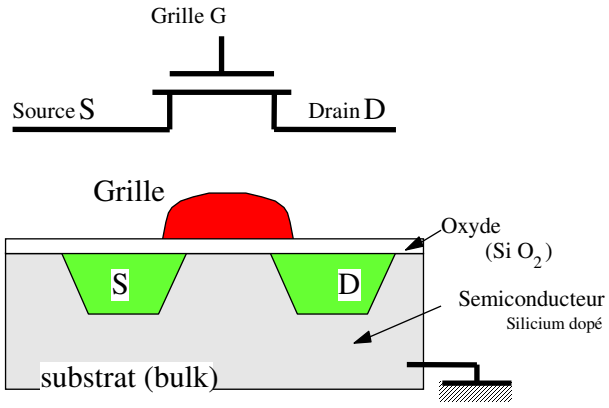
Le conflit énergie/flexibilité



Nécessiter d'optimiser

[H. de Man, Keynote, DATE'02; T. Claasen, ISSCC99]

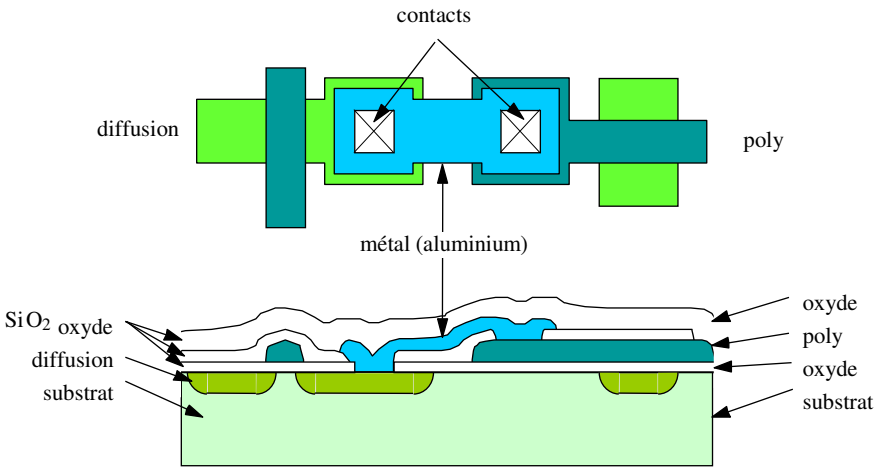
La technologie MOS



- Au début (RCA 1962) la grille était en Aluminium d'où le nom MOS : Métal/Oxyde/Semi-conducteur
- Le MOS est parfaitement symétrique et on appelle SOURCE (d'électrons) le coté le plus négatif *(le plus positif pour les PMos)*
- Le substrat est mis à la masse (à V_{dd} pour les PMOS)

Coupe d'un transistor

Un circuit intégré est une superposition de couches, semi-conductrices, conductrices ou isolante



Equations (simplifiées) du transistor MOS

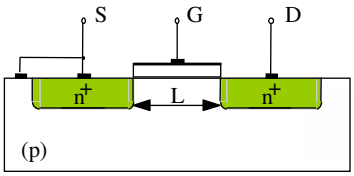
Si $V_{gs} - V_t < 0$, mode bloqué : $I_{ds} = 0$

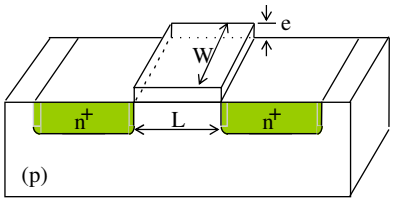
Si $0 < V_{ds} < V_{gs} - V_t$, mode linéaire

$$I_{ds} = \mu \frac{Cox}{2} \frac{W}{L} (2(V_{gs} - V_t)V_{ds} - V_{ds}^2)$$

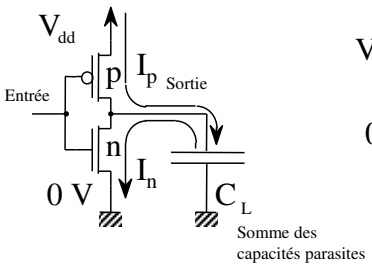
Si $0 < V_{gs} - V_t < V_{ds}$, mode saturé

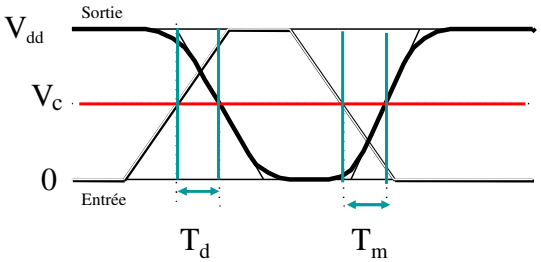
$$I_{ds} = \mu \frac{Cox}{2} \frac{W}{L} (V_{gs} - V_t)^2$$





Modélisation du comportement dynamique





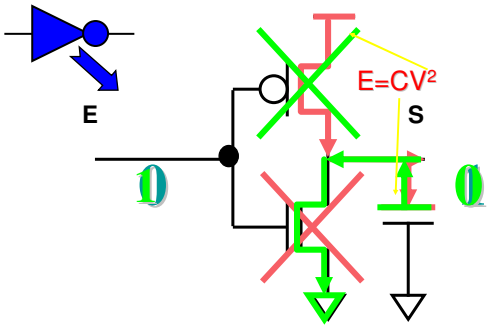
$$T_d = V_c \frac{C_L}{I_{satn}}$$

$$T_m = V_c \frac{C_L}{I_{satp}}$$

l'inverseur est un générateur de courant déclenché par le passage du seuil

Consommation d'énergie

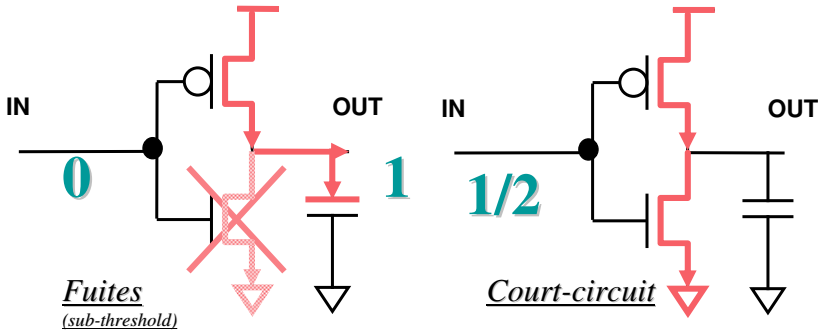
- **Consommation d'énergie**
  - Quand une capacité est chargée ou déchargée
  - Une capacité chargée est un 1 logique, déchargée est un 0 logique



- Les capacités peuvent être les grilles d'autres transistors ou des fils (bus et interconnexion longues)

Consommation d'énergie

- Des effets secondaires comme les courants de fuite et de court-circuits augmentent avec les technologies modernes



- Les fuites augmentent considérablement avec les technologies modernes

L'extensibilité (scalability)

Largeur $= W = 0,7$ Longueur $= L = 0,7$ $t_{ox} = 0,7$

Les dimensions latérales et verticales diminuent de 30%

$$\text{Cap. surface} = C_a = \frac{0,7 \times 0,7}{0,7} = 0,7$$

$$\text{Cap. bord} = C_f = 0,7$$

$$\text{Cap. totale} \Rightarrow C = 0,7$$

Les capacités diminuent de 30%

Surface puce $= X \times Y = 0,7 \times 0,7 = 0,7^2$

La surface de puce diminue de 50%

L'extensibilité (scalability)

$$\frac{Cap}{Transistor} = \frac{0,7}{1} = 0,7$$

La capacité par transistor diminue de 30%

$$\frac{Cap}{Surface} = \frac{0,7}{0,7 \times 0,7} = \frac{1}{0,7}$$

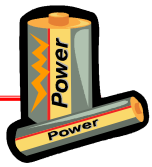
La capacité par unité de surface augmente de 43%

$$V_{dd} = 0,7 \quad V_t = 0,7 \quad I = \frac{1}{t_{ox}} \frac{W}{L} (V_{dd} - V_t)^2 = \frac{0,7^2}{0,7} = 0,7$$

$$T = \frac{C \times V_{dd}}{I} = \frac{0,7 \times 0,7}{0,7} = 0.7, \quad Puissance = C \times V^2 \times f = \frac{0,7 \times 0,7^2}{0,7} = 0,7^2$$

Délai diminue de 30%, puissance diminue de 50%

Puissance et énergie



Energie

- "Capacité à faire quelque chose d'utile"
- Important pour
  - Durée de vie des piles et batteries
  - Facture d'électricité
- Mesurée au cours du temps
- Proportionnelle à la somme des capacités et au carré de la tension (CV^2)

Puissance et énergie

Puissance

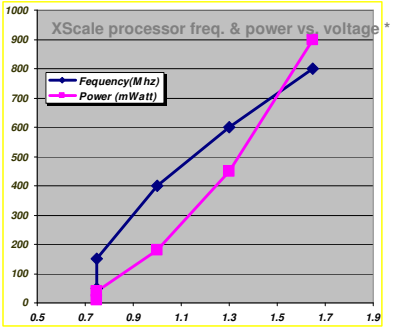
- *Travail* effectué par unité de temps
  - Mesuré en Watts
- $P = \alpha CV^2 f$
  (α : activité, C: capacités, V: tension, f : fréquence)
- "Mesurée" à sa valeur maximale
- Plus de puissance ➔ Plus de courant
  - Ne peut dépasser les contraintes de puissance maximale disponible
- Plus de puissance ➔ Température plus élevée
  - Ne peut dépasser les contraintes thermiques

Tension, puissance et fréquence

- Les transistors commutent plus vite à une tension plus élevée
  ➔ tension plus élevé permet des fréquences plus élevées
- La fréquence maximale croît presque linéairement avec la tension … dans une plage V_{min}-V_{max}
  - V < Vmin
    ➔ les transistors ne commutent pas
  - V > Vmax
    ➔ risque de destruction par surchauffe
- "Loi cubique":

  $P = kV^3$

  (or ~1%V=3%P)



* Source: Intel Corp. (http://developer.intel.com)

Technologie de fabrication : l'extensibilité

<u>Objectif (Idéal) : à chaque génération (2-3 ans)</u>

- Réduire le délai des portes de 30%
  - Gain de fréquence de 50%
- Doubler la densité d'intégration
  - Réduction d'un facteur 0,7 par côté
  - Les dimensions Z et L du transistor sont réduites de 30%
  - Le pas d'interconnexion est réduit de 30%
  - On ajoute des niveaux d'interconnexion pour tenir compte des pas et des capacités RC

Technologie de fabrication

- A chaque génération (tous les 2-3 ans), **idéalement :**
  - **Réduire le délai des portes de 30%**
    ➔ gain de fréquence d'environ ~50% (100/70)
  - **V_{dd} réduit de ~30%**

➔ **Résultats :**

➔ **Réduction de 2/3 de l'énergie par transition**

$(CV^2 \rightarrow 0.7 \times 0.7^2 = 0.34X)$

➔ **Réduction de moitié en puissance**

$(CV^2f \rightarrow 0.7 \times 0.7^2 \times 1.5 = 0.5X)$

» La densité de puissance est inchangée

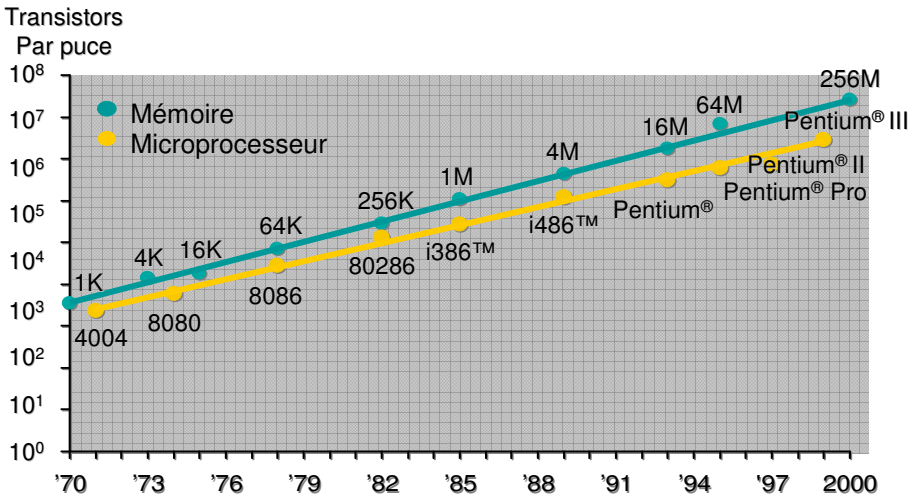
Des scénarii idéaux

- **"Réduction parfaite"**
  - Nb transistors 1X
  - Taille 0.5X
  - Fréquence 1.5X
  - Puissance 0.5X
  - IPC 1X (instr./cycle)
  - Performance 1.5X
  - Densité de puissance 1X
- **Nouvelle µarchi (CPU)**
  - *Même taille de puce*
  - Nb transistors 2X
  - Taille 1X
  - Fréquence 1.5X
  - Puissance 1X
  - IPC 2X
  - Performance 3X
  - Densité de puissance 1X

Les technologies de fabrication : la réalité

- **En réalité**
  - Les nouvelles réalisations multiplient par 2X la fréquence
  - Les nouvelles réalisations utilisent plus de transistors (2X-3X pour 1.5X-1.7X performance)
- **A chaque nouveau procédé et génération d'architecture**
  - La puissance augmente d'un facteur proche de 2X
  - La densité de puissance augmente de 30 à 80%
- **Cela va empirer avec les prochaines générations de procédé de fabrication**
  - La réduction des tensions va diminuer
  - Les fuites augmentent considérablement

La loi de Moore



Source: Intel

Les microprocesseurs ces 25 dernières années

- La densité de transistors double tous les 30 mois
- Augmentation de la taille de puce
  - Augmentation de la taille des "wafers"
  - Progrès technologiques
- ⇒ *Doublement du nombre de transistors tous les 18 mois*

source Fred Pollack, Micro-32

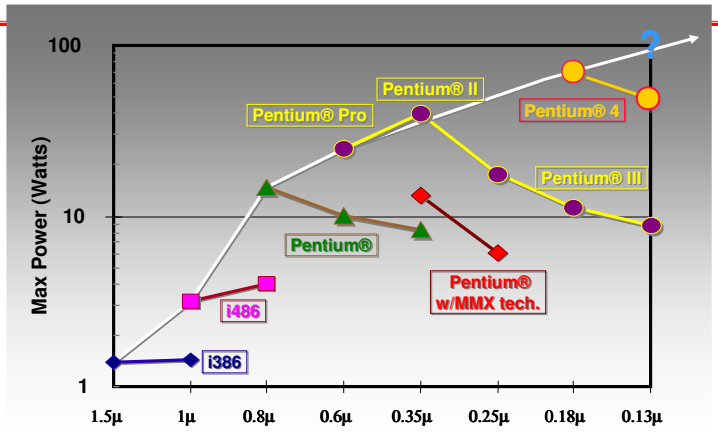
Tech	µArch (n)	mm	µArch (n+1)	mm	Ratio
1,0µ	i386C	6,5	i486	11,5	3,1
0,7µ	i486C	9,5	Pentium®	17	3,2
0,5µ	Pentium®	12,2	Pentium® Pro	17,3	2,1
0,18µ	Pentium® III	10,3	Pentium 4	?	2--3

Implications : (pour la même technologie)

1. Nouvelle µArch ~ surface de puce 2-3X par rapport à l'ancienne

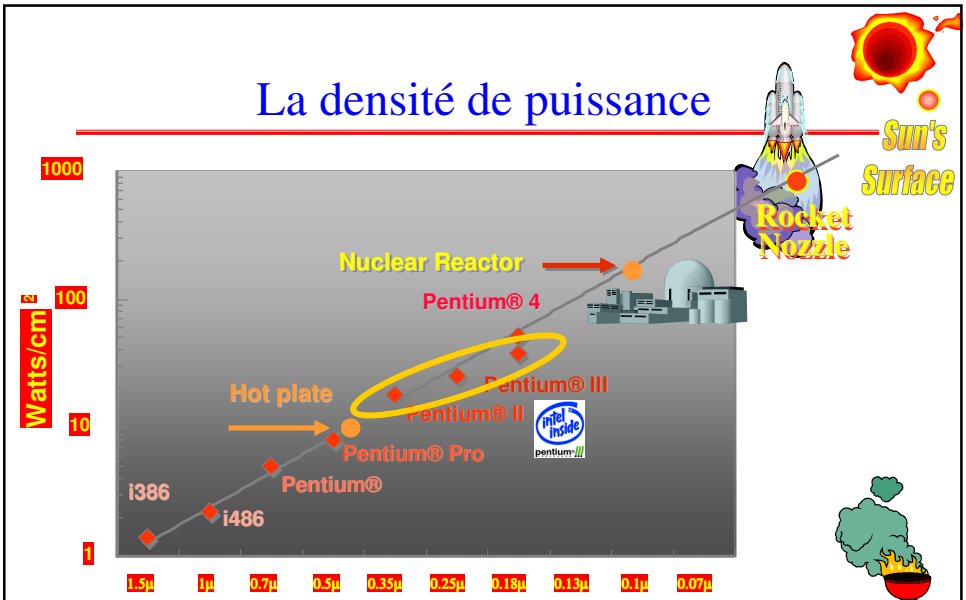
2. Fournit 1.5-1.7X les performances "entières" de l'ancienne

Evolution de la puissance dissipée des CPU



- *La nouvelle génération augmente toujours la puissance*
- *Réduction : performance plus élevée avec moins de puissance*
- *On part du haut de gamme et on réduit vers les "portables"*

La densité de puissance



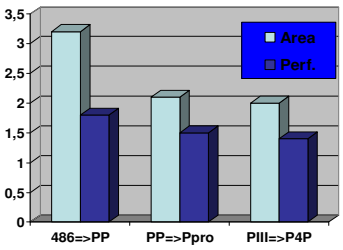
* "New Microarchitecture Challenges in the Coming Generations of CMOS Process Technologies" – Fred Pollack, Intel Corp. Micro32 conference key note - 1999.

Efficacité des µarchitectures

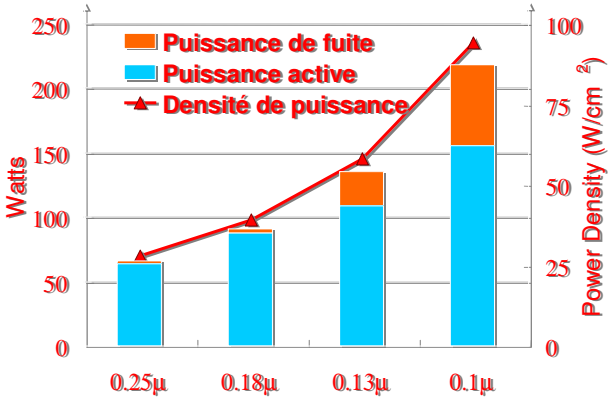
Tech	µArch (n)	mm	µArch (n+1)	mm	Rapport Surface	Rapport Perf.
1.0µ	i386C	6.5	i486	11.5	**3.1**	
0.7µ	i486C	9.5	Pentium® proc	17	**3.2**	**1.8**
0.5µ	Pentium® proc	12.2	Pentium Pro® proc	17.3	**2.1**	**1.5**
0.18µ	Pentium III® proc	10.3	Pentium® 4 proc	14.7	**2**	**1.4**

Implications: (dans la même technologie)

1. µarch(n) ~2-3X surface de (n-1)
2. Fournit 1.4-1.8X performance entière de (n-1)



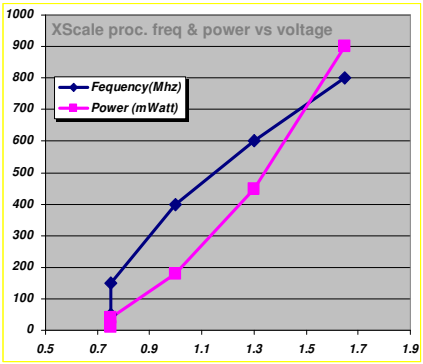
Evolution de puissance *(théorique)*



- Puce de 15 mm de côté (225 mm²)
- Doublement de fréquence à chaque génération
- Estimation pour les générations futures

Réduction de la tension d'alimentation

- **Tension plus élevée = fréquence plus élevé**
- **Compromis fréquence - puissance**
  - Statiquement, à la fabrication
  - Dynamiquement, à l'exécution (e.g., Intel's SpeedStep® Technology)
- **L'étendue réelle dépend de la conception et du procédé de fabrication**
- **Exemples*:**
  - Les processeurs Intel® XScale™ fonctionnent de 0,75V (150MHz/50mW) à 1,65V (800MHz/900mW)
  - Le processeur Intel mobile Pentium® III fonctionnait de 1,1V (600MHz) à 1,7V (1GHz)



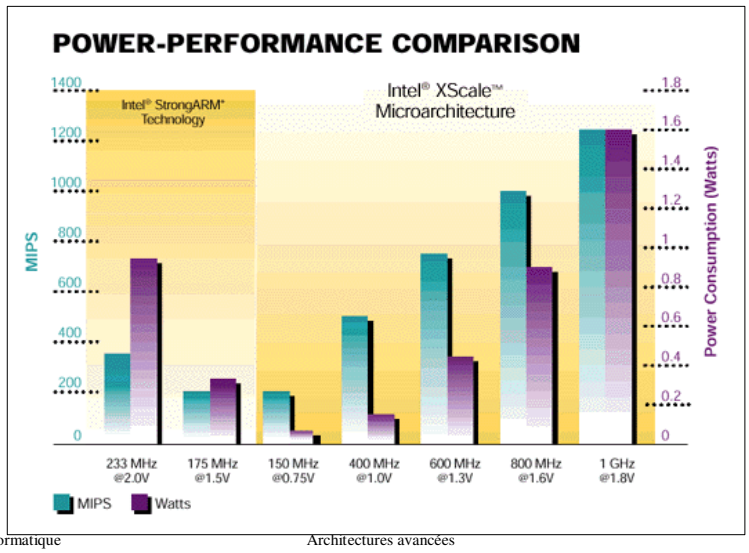
* Source: Intel Corp. (http://developer.intel.com)

Réduction de la tension d'alimentation *(2)*

- **Effet considérable sur la puissance**
  20% diminution de fréquence ➔ 20% diminution de tension
  ➔ 35% diminution d'énergie ($\alpha CV^2 = \alpha C*0,8^2 = \alpha C*0,64$)
  ➔ 50% diminution de puissance. ($\alpha CV^2f = \alpha C*0,8^3 = \alpha C*0,51$)
- **Encore plus impressionnant par rapport à la performance**
  – 20% variation de fréquence ➔ seulement 10%-15% variation de performance*
- ***La diminution de tension peut être utilisée pour un compromis performance - puissance***

* Dépend essentiellement du rapport de fréquence processeur/bus et de la taille des caches

Réduction de V_{dd}



Compromis performance - puissance

La réduction de tension d'alimentation seule n'est pas suffisante.

On doit effectuer un compromis performance – puissance

- Réduction de la taille de puce => réduction des capacités active => réduction Perf(C) et Puissance(C)
- Réduction de V_{dd} et fréquence => Perf(freq) et Puissance (freq, V_{dd}^2)
- Réduction de la taille des puces, de V_{dd} et de la fréquence

Prendre une métrique qui prend en compte performance et puissance

Utiliser le produit Energie* Délai (E*D) pour évaluer le compromis

Compromis Energie*Délai

E = énergie / instruction

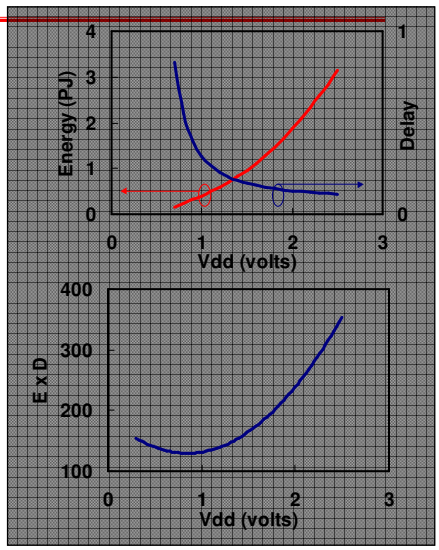
= Puissance * sec / instruction

= Watt / MIPS

D = sec / instruction

= 1 / MIPS

E *D ~ Watt / $MIPS^2$



Les différents “segments”

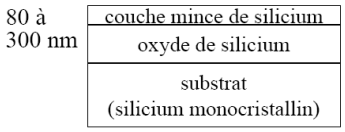
- Les systèmes enfouis/embarqués
  - L’essentiel de la puissance est consommée par le CPU
  - Pas de limitation thermique
  - Essentiel : durée de vie de la batterie
  - Dans les systèmes temps réels, on peut tirer partie des contraintes temporelles connues
- Ordinateurs portables
  - Limitation thermique
  - Pas d’utilisation des contraintes temporelles des applications
  - Optimisation pour une durée de vie maximale de la batterie et la performance maximale pour une puissance déterminée
- Ordinateurs de bureau:
  - Problèmes de puissance et de dissipation thermique

La conception “faible consommation”

- Niveau technologique
- Niveau circuit/logique
- Niveau architectural
- Niveau algorithmique
- Niveau système

Niveau technologique

- Dimensionement des transistors
  - Ajuster les W/L aux besoins
- Action sur V_t
- SOI
  - Silicium on Insulator
    - Diminution d'un facteur 2 à 3 des capacités parasites
    - Meilleure résistance à la température
- Action sur V_{dd}
  - Plusieurs V_{dd}
    - Alimenter les parties lentes avec Vdd plus faible
    - Séparer le coeur du circuit des circuits d'E/S



Niveau circuit/logique

- Dimensionement des portes
- Choix du type de logique
  - Statique/dynamique, synchrone/asynchrone
  - Adiabatique, préchargement, pass-transistor, etc
- Optimisations logiques
- Extraction des sous-fonctions communes
- Partage des ressources
- Format de codage
- Choix des opérateurs
- Actions sur l'horloge

Format de codage

Exemple soustraction 5 - 1 ⇒ 4

Sans troncature des poids forts

```
  X= 00000101
- Y= 00000001
     ↓↓↓↓↓↓↓↓
  Ȳ= 11111110  8 transitions
            +1  1 transition
- Y= 11111111
   +00000101
X-Y= 00000100  1 transition
               8 transitions
```

total: 18 transitions

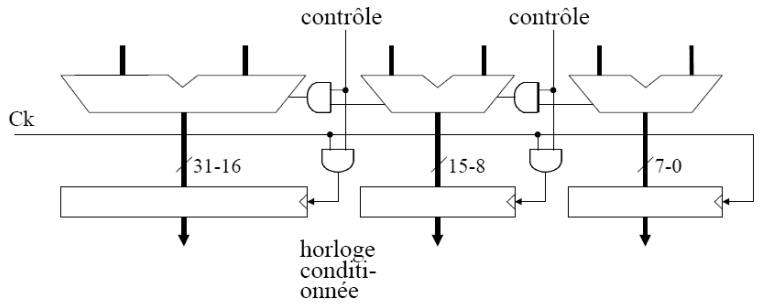
Avec troncature des poids forts

```
  X= 00000101
- Y= 00000001
     ↓↓↓↓↓↓↓↓
  Ȳ=      110  3 transitions
            +1  1 transition
- Y=      111
   +      101
X-Y= 00000100  1 transition
               2 transitions
```

total: 6 transitions

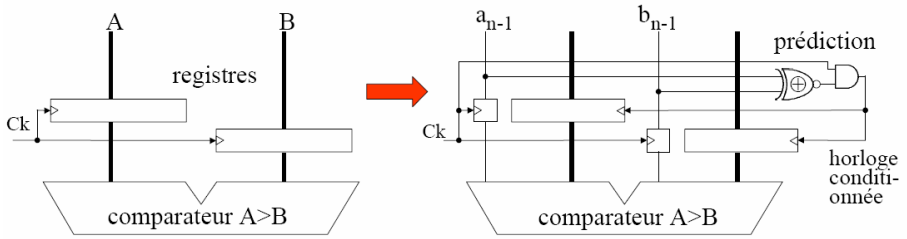
Format de codage

- Ajustement du chemin de données suivant la précision demandée

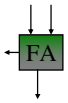


Prédiction ou précalcul

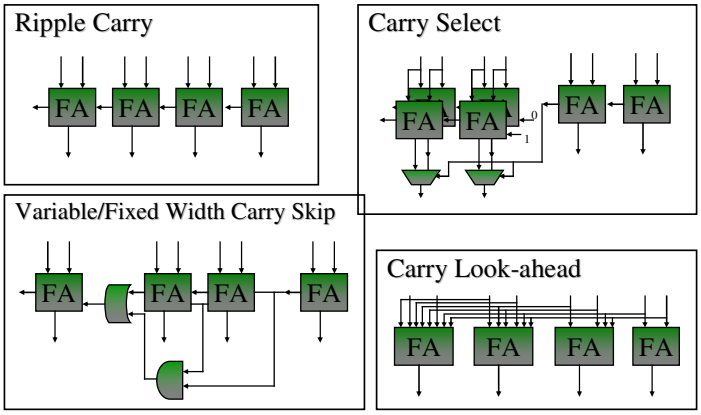
- Exemple : comparaison
  - Précalcul des deux bits de poids fort



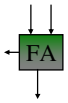
Choix des opérateurs : *additionneurs*



- Il y a plusieurs algorithmes pour un additionneur "entier"
  - "Ripple, select, skip (x2), Look-ahead, conditional-sum".
  - Chaque type a ses caractéristiques temporelles et de puissance.



Puissance et délai *(additionneurs)*



- D'après Callaway et Swartzlander*:

	Energie (pJ)	Délai (ns)
Ripple Carry	117	54.27
Constant Width Carry Skip	109	28.38
Variable Width Carry Skip	126	21.84
Carry Lookahead	171	17.13
Carry Select	216	19.56
Conditional Sum	304	20.05

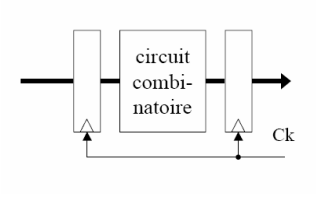
- En ne choisissant qu'un critère :
  - Puissance – utiliser "constant width carry skip"
  - Délai – utiliser "carry look-ahead"

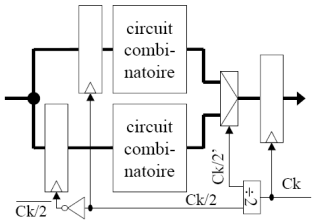
* "Estimating the power consumption of CMOS adders" - Callaway, T.K.; Swartzlander, E.E., Jr. 11th Symposium on Computer Arithmetic, 1993. Proceedings.

Niveau architectural

- Optimisation
  - Diminuer Vdd
  - Parallélisme/Pipeline
  - Encodage de bus
  - Eteindre les modules inutilisés
  - Partage des ressources exploitant la localité spatiale

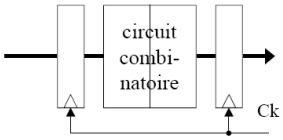
Parallélisme

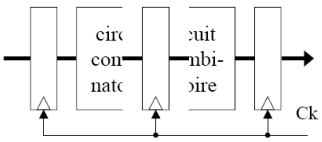




- Fréquence divisée par 2
- Complexité multipliée par 2
- Puissance de traitement inchangée

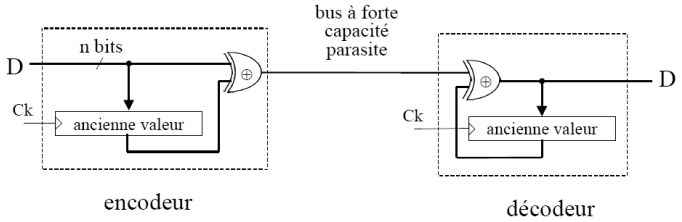
Pipeline





- Puissance de traitement inchangée
- Fréquence inchangée
- Complexité inchangée

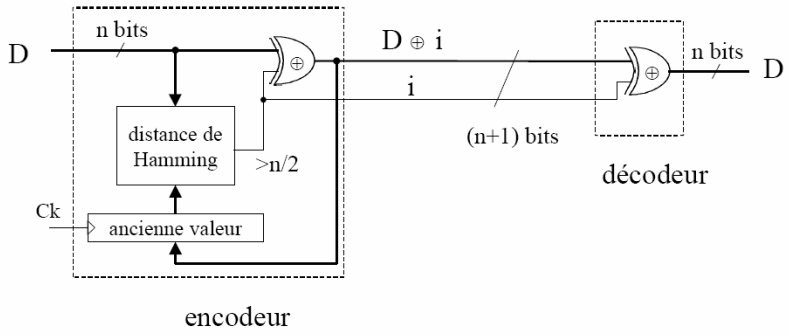
Codage de bus



- Ne transmettre que les transitions : intéressant si forte corrélation entre les données (images)
- Code T0
  - 1 bit supplémentaire INC
    - =1 pour deux adresses consécutives (et on ne transmet pas les adresses)
    - = 0 et on utilise les adresses normales.

Codage de bus

- Codage de bus inversé



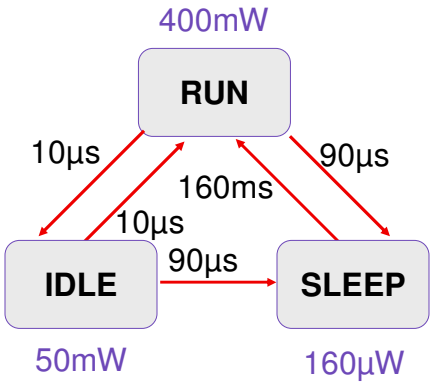
Niveau système

- Contrôle d'activité
- Partitionement
- Réduction de tension d'alimentation
- Gestion de la puissance
- Mises en veille

Gestion dynamique de la puissance

Exemple: STRONGARM SA1100

- RUN : opérationnel
- IDLE: une routine logicielle peut arrêter le CPU s'il est inutilisé, tout en continuant à "suivre" les interruptions
- SLEEP: Arrêt de l'activité du circuit

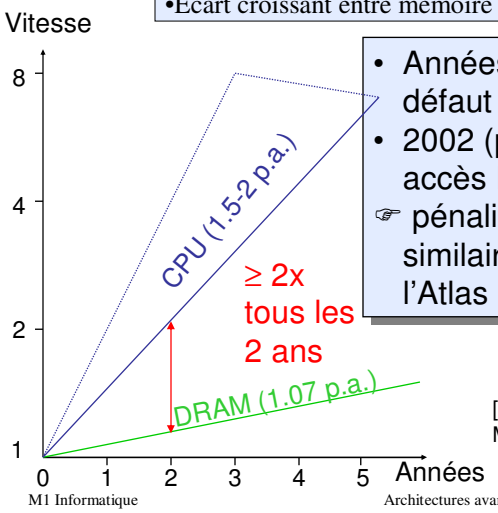


Les mémoires

- Pour la mémoire, l'efficacité est aussi un problème
  - Vitesse (latence et débit), "timing" prévisible ou non
  - Efficacité énergétique
  - Taille
  - Coût
  - Volatilité ou non

Les problèmes du temps d'accès

•Ecart croissant entre mémoire et CPU



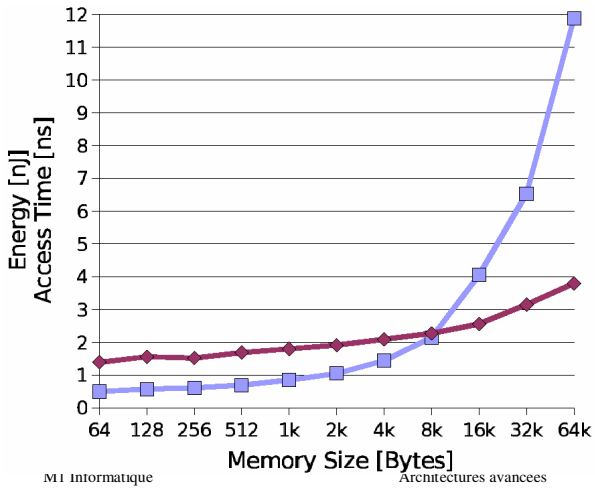
- Années 60 (Atlas):
  défaut de page ~ 2500 instructions
- 2002 (µP 2 GHz):
  accès DRAM ~ 500 instructions

☞ pénalité d'échec cache bientôt similaire au défaut de page dans l'Atlas

[P. Machanik: Approaches to Addressing the Memory Wall, TR Nov. 2002, U. Brisbane]

Temps d'accès et consommation d'énérgie

Exemple (Modèle CACTI):

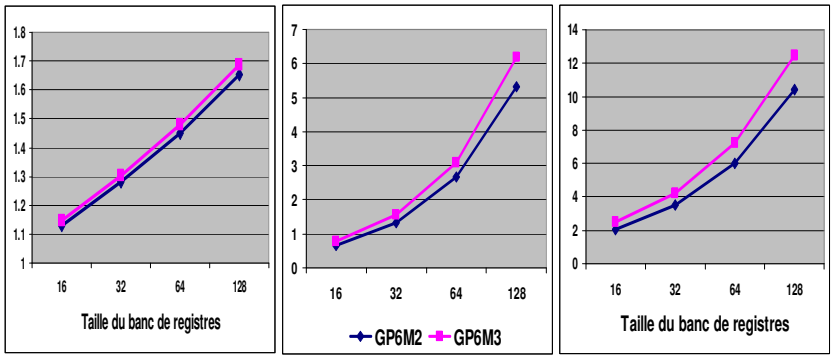


„Actuellement, la taille de certaines applications double tous les 10 mois "
[STMicroelectronics, Medea+ Workshop, Stuttgart, Nov. 2003]

Memory Energy
Memory Access Time

Bancs de registres multiports

Temps cycle (ns) **Surface (λ^2x10^6)** **Puissance (W)**

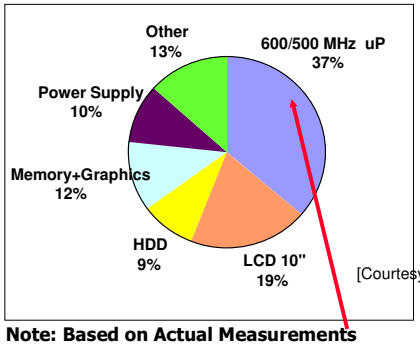


Source and © H. Valero, 2001

•Rixner's et al. [HPCA'00], Technologie 0,18 µm
•Configurations VLIW GP*x*M*y*REG*z* avec : x={6}, y={2, 3} and z={16, 32, 64, 128}

Puissance dissipée par la mémoire

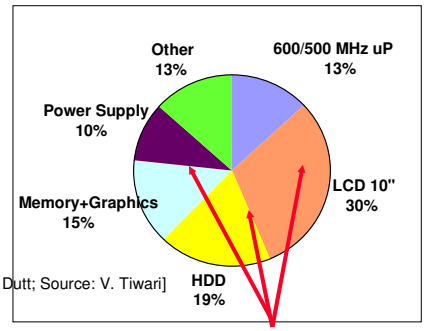
Mobile PC
Thermal Design (TDP) System Power



Note: Based on Actual Measurements

CPU Dominates Thermal Design Power

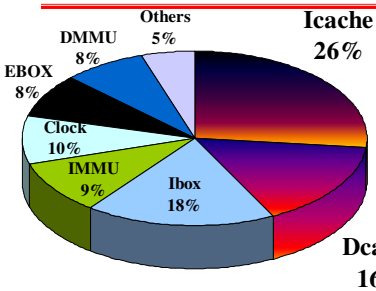
Mobile PC
Average System Power



[Courtesy: N. Dutt; Source: V. Tiwari]

Multiple Platform Components Comprise Average Power

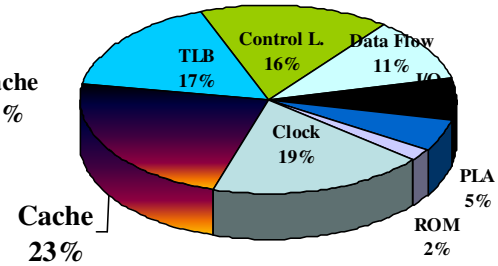
Puissance dissipée du processeur



Strong ARM

IEEE Journal of SSC
Nov. 96

42%/40% pour la mémoire !

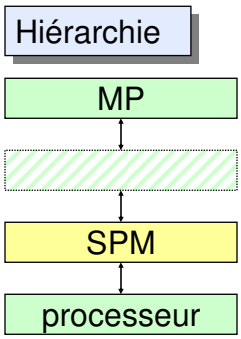


Power PC

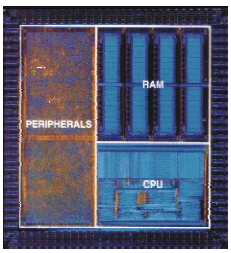
Proceedings of ISSCC 94

Based on slide by and ©: Osman S. Unsal, Israel Koren, C. Mani Krishna, Csaba Andras Moritz, University of Massachusetts, Amherst, 2001

Mémoire Scratch pad (SPM)

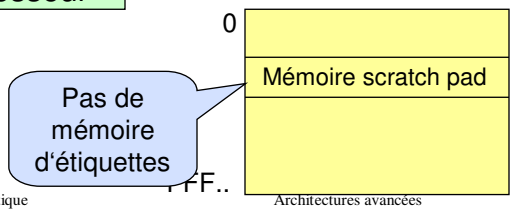


Exemple



Coeurs ARM7TDMI réputés pour la faible consommation

Espace d'adressage

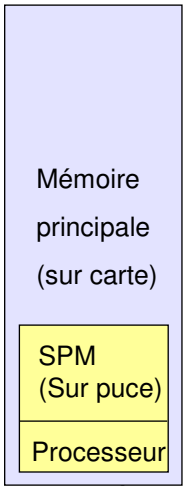


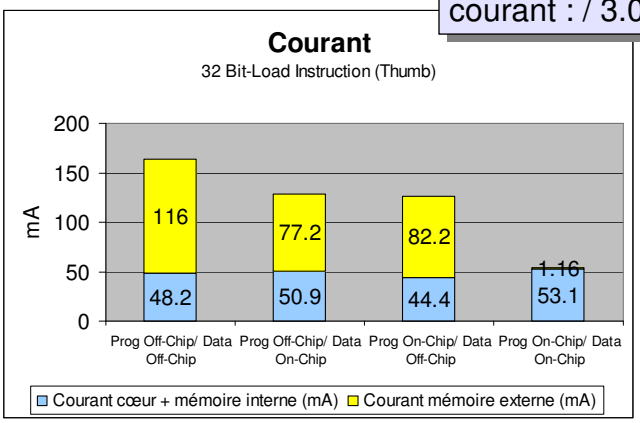
Pas de mémoire d'étiquettes

Consommation Scratchpad et MP

Exemple: Carte d'évaluation Atmel ARM

Réduction en courant : / 3.02

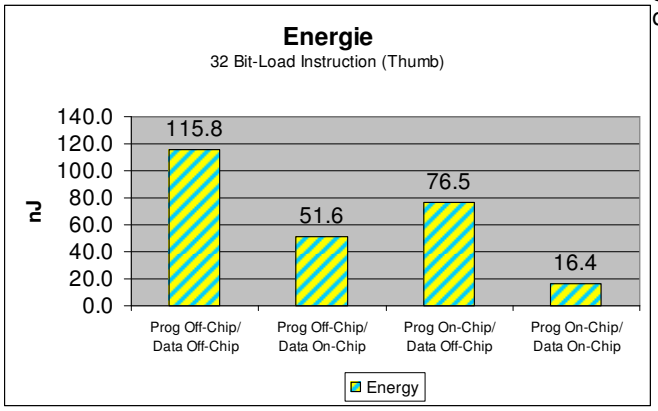




Energie Scratchpad et Mémoire principale

Exemple: Carte d'évaluation Atmel ARM

Les accès en MP prennent beaucoup de cycles. Le gain (86%) est plus grand que pour le courant.

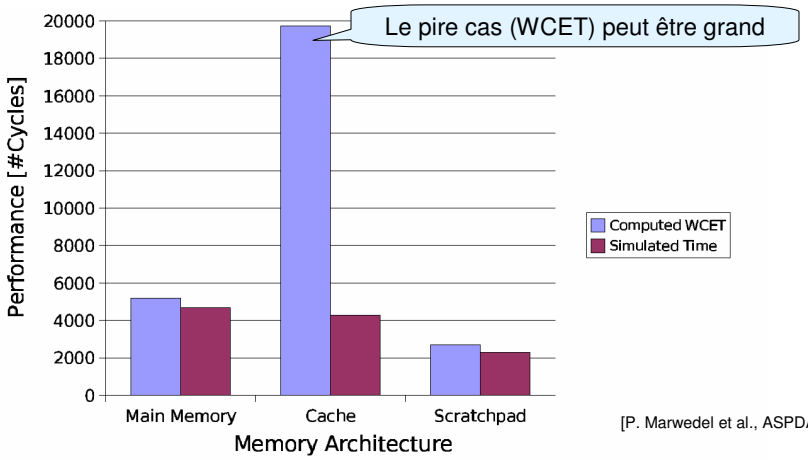


Réduction d'énergie :
/ 7.06

100% prévisible

L'inconvénient des caches

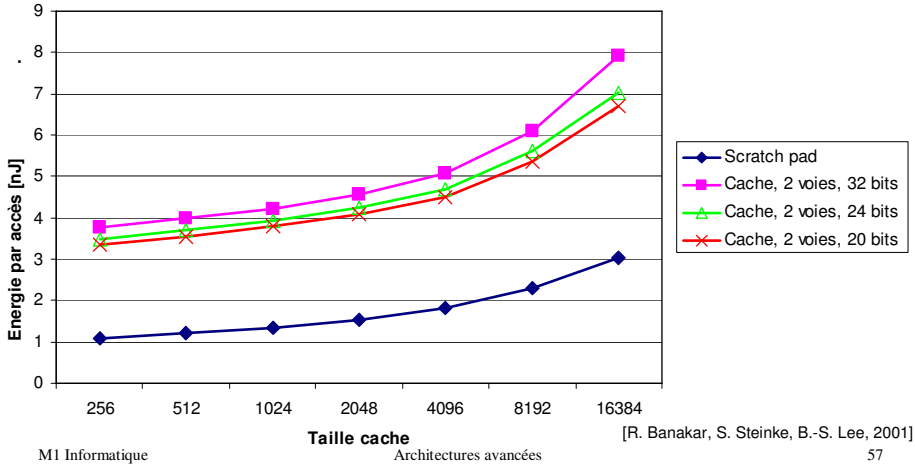
1. Problème des défauts de cache



[P. Marwedel et al., ASPDAC, 2004]

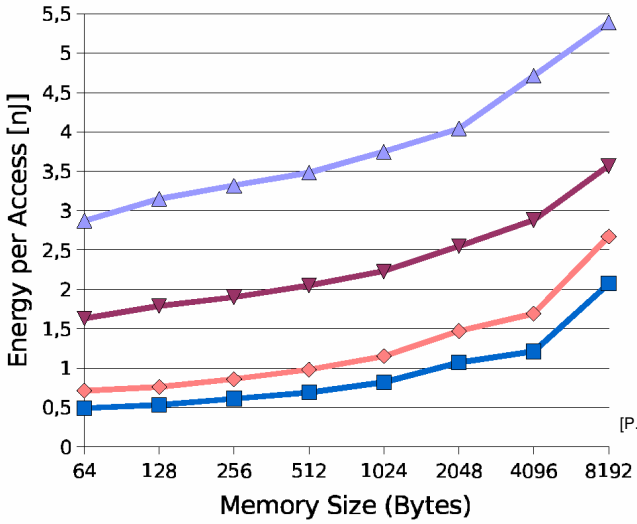
L'inconvénient des caches

2. Energie consommée pour l'accès parallèle des ensembles, dans les comparateurs, les multiplexeurs



[R. Banakar, S. Steinke, B.-S. Lee, 2001]

Influence de l'associativité



[P. Marwedel et al., ASPDAC, 2004]

Références

- Un certain nombre de transparents utilisent ou s'inspirent de transparents des cours suivants
  - Avi Mendelson: "Low Power Architecture", Technion, Israel
  - Prabhat Mishra : "Components of Embedded Systems", University of Florida
  - Alain Guyot : "Comportement électrique de la porte CMOS", DEA Micro-électronique, Grenoble, 1997
    - http://tima-cmp.imag.fr/~guyot/Cours/Microelectronique/index.html
  - Alain Guyot : "Conception pour la faible consommation", DEA Micro-électronique, Grenoble, 1996.
    - http://tima-cmp.imag.fr/~guyot/Cours/Basseconso/BasseConso.pdf
  - Nathalie Julien : "Conception faible consommation", DEA Electronique, Lorient, 2003
- Les références pour d'autres transparents sont citées dans le transparent.