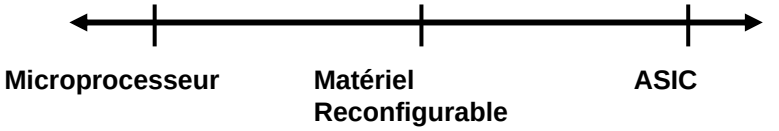
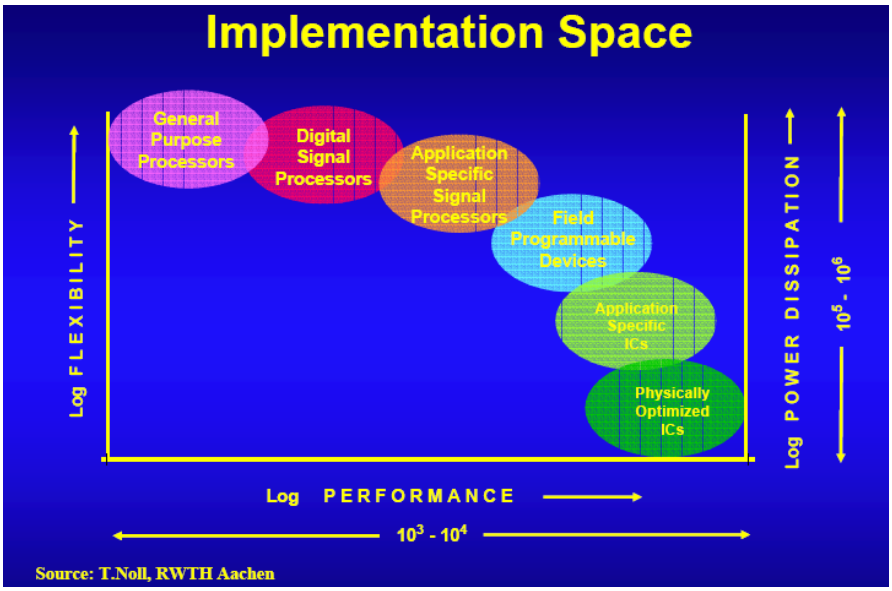
Architectures reconfigurables (FPGA)

Daniel Etiemble
de@lri.fr

Le spectre d'implémentation



- ASIC
  - Haute performance – dédié à l'application
  - Non modifiable
- Processeur
  - Programmable
  - Non dédié à l'application
- Matériel reconfigurable
  - Bon compromis



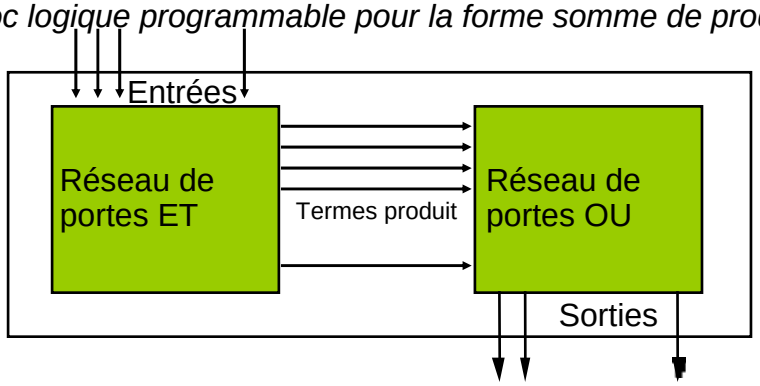
Logique combinatoire : les différentes approches

- La logique aléatoires : les portes de base
  - Bibliothèque de portes
  - Bibliothèque de cellules
- La logique régulière
  - multiplexeurs
  - décodeurs
- La logique programmable à deux niveaux
  - PALs
  - PLAs
  - ROMs
- La logique programmable avec mémoires SRAM
  - FPGA

Logique à deux niveaux : PALs et PLAs

Bloc de base préfabriqué avec beaucoup de portes ET/OU (ou NOR/NAND).
Personnalisé par création ou destruction de connexions entre les portes

Bloc logique programmable pour la forme somme de produits



PALs et PLAs : le partage de termes produit

Equations

Exemple:

F0 = A + B' C'
F1 = A C' + A B
F2 = B' C' + A B
F3 = B' C + A

Personnalisation

Terme produit	Entrées A	B	C	Sorties F_0	F_1	F_2	F_3
A B	1	1	-	0	1	1	0
$\overline{B}$ C	-	0	1	0	0	0	1
A $\overline{C}$	1	-	0	0	1	0	0
$\overline{B}$ $\overline{C}$	-	0	0	1	0	1	0
A	1	-	-	1	0	0	1

Réutilisation de termes

Pour les entrées

1 = terme non complémenté
0 = terme complémenté
- = indifférent

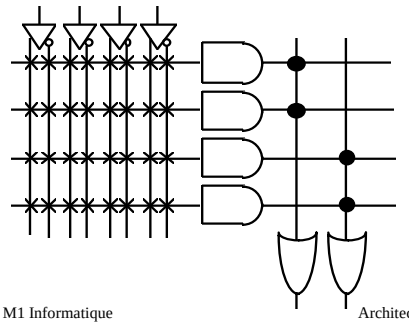
Pour les sorties

1 = connecté à la sortie
0 = non connecté

PALs versus PLAs

PAL : la topologie du réseau OU est fixée

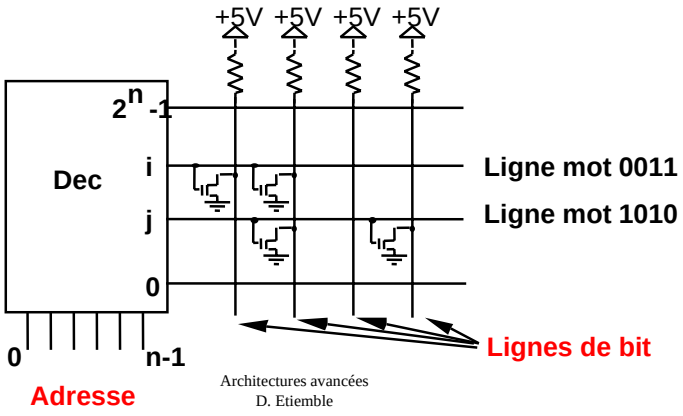
- groupe fixé de lignes ET
- rapide, peu cher
- l'entrance est limitée



Une colonne donnée du réseau OU a accès seulement à un sous ensemble des termes produit possibles

Les mémoires ROM (read only memory)

ROM : Réseau 2D de 1 et de 0.
Une ligne est un mot. Entrées du décodeur : adresse
Largeur d'une ligne : taille du mot
L'adresse est l'entrée ; le mot sélectionné est la sortie



ROM et logique combinatoire

Implémentation de logique combinatoire (forme canonique à deux niveaux) avec une ROM

$F_0 = A' B' C + A B' C' + A B' C$

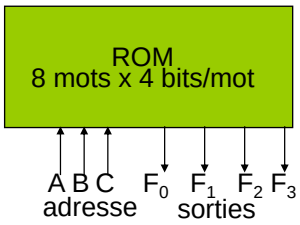
$F_1 = A' B' C + A' B C' + A B C$

$F_2 = A' B' C' + A' B' C + A B' C'$

$F_3 = A' B C + A B' C' + A B C'$

A	B	C	F_0	F_1	F_2	F_3
0	0	0	0	0	1	0
0	0	1	1	1	1	0
0	1	0	0	1	0	0
0	1	1	0	0	0	1
1	0	0	1	0	1	1
1	0	1	1	0	0	0
1	1	0	0	0	0	1
1	1	1	0	1	0	0

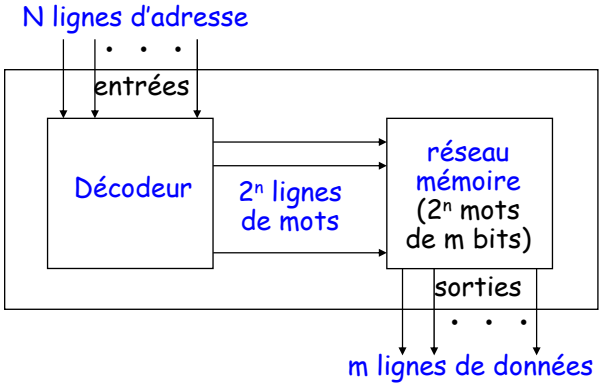
Table



Schéma

Structure ROM

- Comme un PLA, mais avec un réseau ET complet (décodeur)
- Réseau OU complètement flexible (contrairement aux PALs)



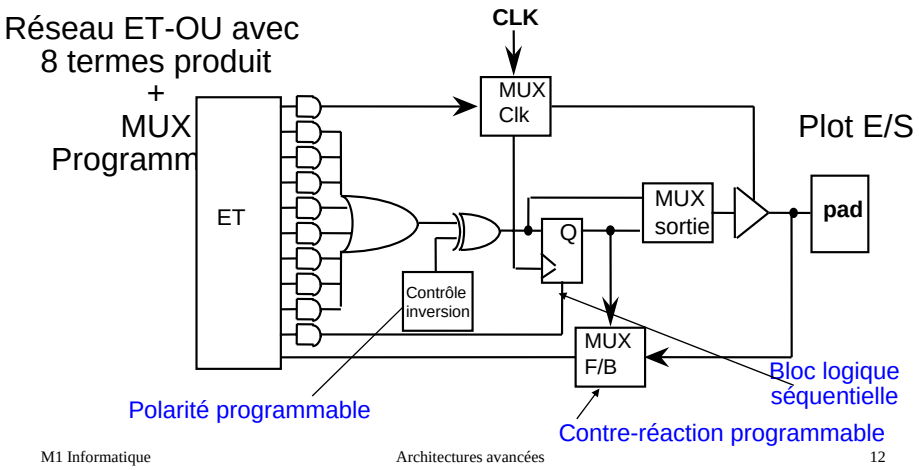
ROMs et PLAs

- PLA : topologies généralisées avec plans ET et OU
  - Compact : term ET partagé
  - A besoin d'un programme CAO : forme somme de produits optimisée
  - Plus lent que les PAL
- ROM : Le plan ET est prédéterminé
  - Implémentation sous forme canonique
  - Le plan ET est aussi appelé décodeur d'adresses
  - Satisfaisant lorque
    - La plupart des combinaisons d'entrée sont utilisées
    - Peu de partage de termes produit
    - Pas d'outils de CAO
  - La taille double par entrée
  - Pas de termes indifférents
  - Le plus lent

CPLD/EPLD

Altera EPLD (Erasable Programmable Logic Devices)

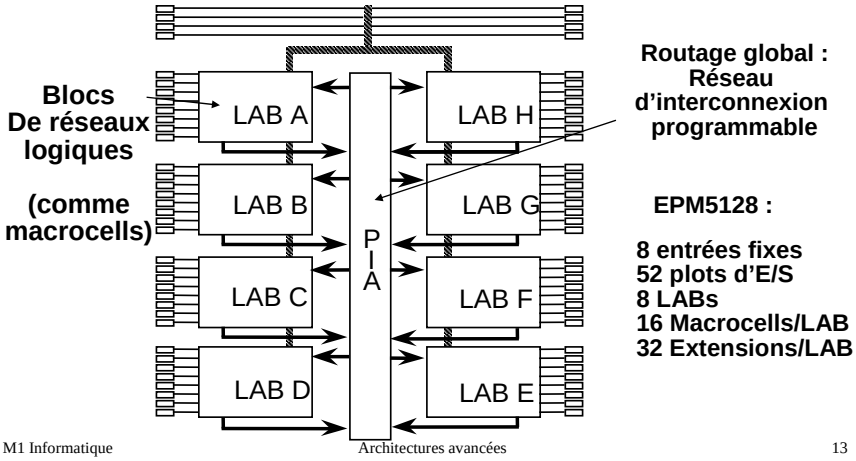
Bloc de base Altera = MACROCELL



Stratégies d'implémentation

Les structures ET-OU sont relativement limitées
Ne peuvent partager les signaux et termes produits entre macrocellules

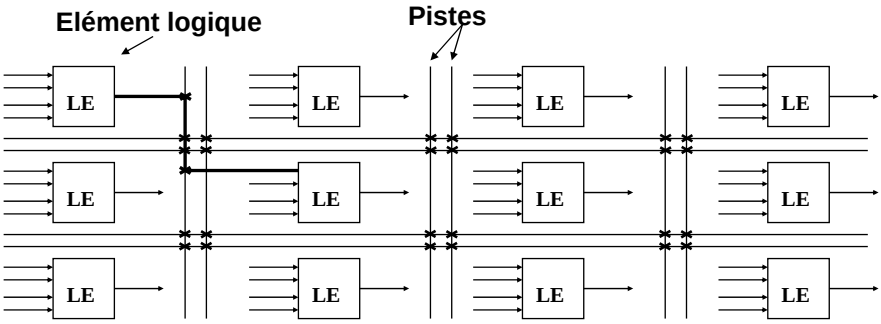
Solution Altera : matrice de réseaux (MAX)



EPM5128 :

8 entrées fixes
52 plots d'E/S
8 LABs
16 Macrocells/LAB
32 Extensions/LAB

Les FPGA



– Chaque élément logique produit une sortie
– Interconnexion programmable entre les éléments
– Pistes d'interconnexion regroupées en canaux
– Eléments logiques : mémoire SRAM.

Elément logique

- LUT (Look-up table)
  - SRAM à 4 ou 5 bits d'adresse et 1 bit de sortie
  - Implante toutes les tables de vérité de 4 ou 5 entrées
- Avantage
  - Programmable (SRAM)
  - Toutes les fonctions sont équivalentes
    - XOR

Adresse	Adresse	Contenu
0	0000	0
1	0001	1
2	0010	1
3	0011	0
4	0100	1
5	0101	0
6	0110	0
7	0111	1
8	1000	1
9	1001	0
10	1010	0
11	1011	1
12	1100	0
13	1101	1
14	1110	1
15	1111	0

LUT dans un bloc logique

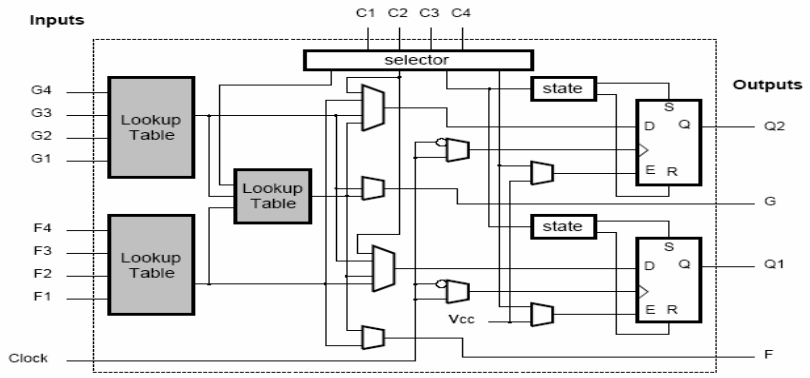
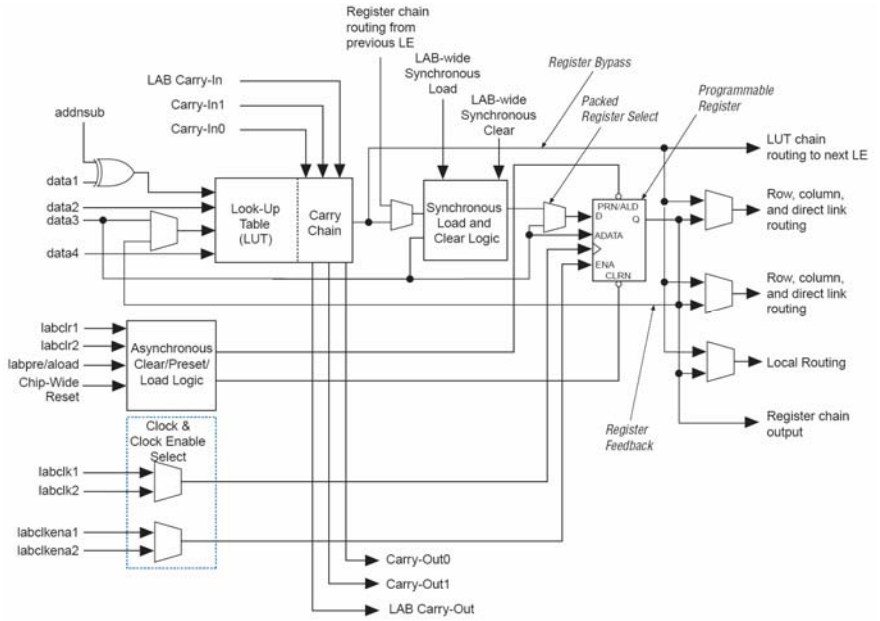
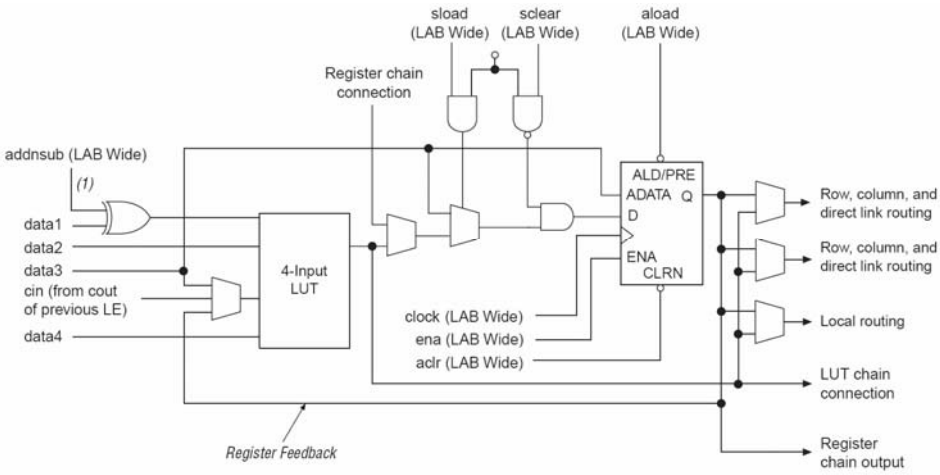


Figure 18 - *Xilinx XC4000 Configurable Logic Block (CLB).*

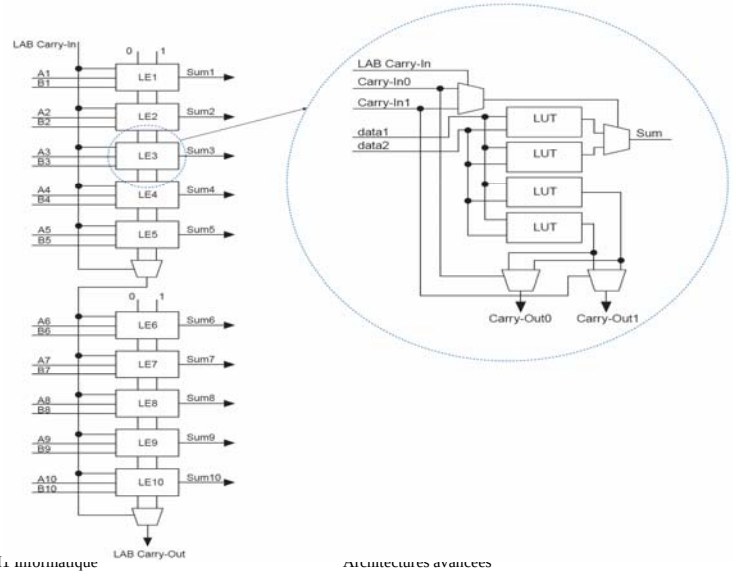
Elément logique Cyclone (Altera)



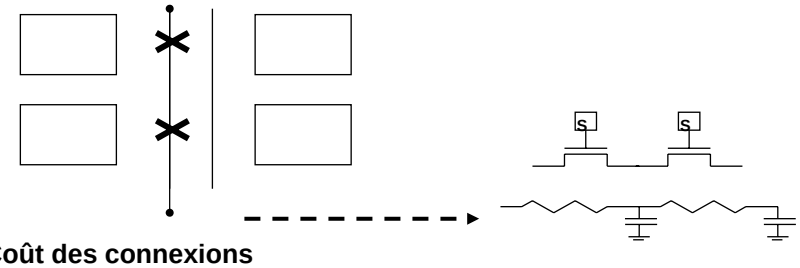
Elément logique – Mode normal



Elément logique : retenues rapides



Les problèmes du monde physique

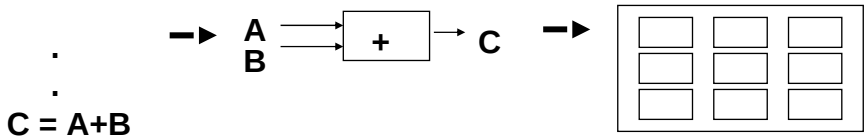


Coût des connexions

- Modélisation des délais.
- Amélioration des performances par buffers/segmentation
- Dépend de la technologie
- Coût de la reconfigurabilité

De la conception au FPGA

Programme C ***Circuit*** ***Réseau***

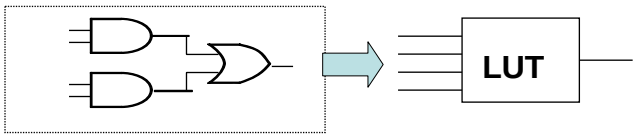


.
.
C = A+B

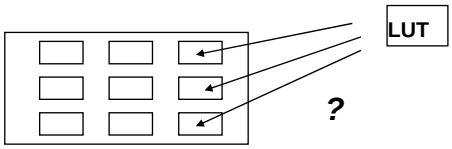
- CAO pour passer de la description textuelle du circuit à l'implantation physique est au point
- CAO pour passer du programme C au circuit pas encore au point (mais apparaissent des compilateurs C2H)
- Très difficile pour les concepteurs d'écrire des applications haute performance

Compilation de circuit

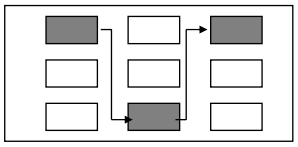
- De la fonction aux élements logiques physiques



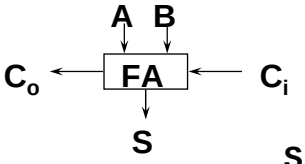
- Placement physique des LUT



- Routage : sélectionner fils et commutateurs pour les connexions



L'additionneur 1 bit



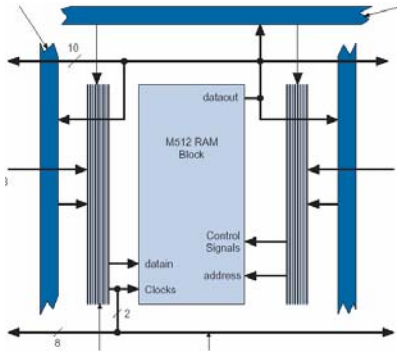
SYNTHESE LOGIQUE

$$S = \overline{A}B\overline{C_i} + A\overline{B}\overline{C_i} + \overline{A}\overline{B}C_i + ABC_i$$

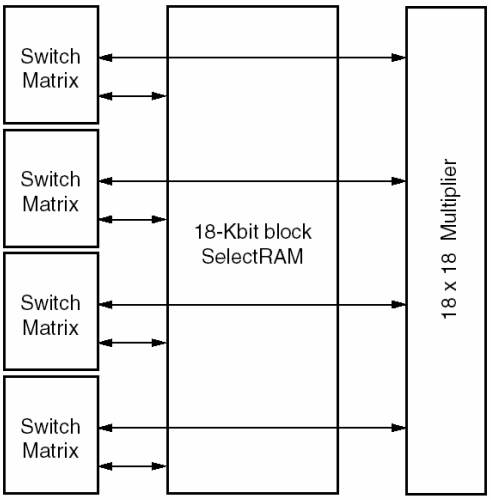
$$C_o = \overline{A}BC_i + A\overline{B}C_i + AB\overline{C_i} + ABC_i$$

RAM enfouie

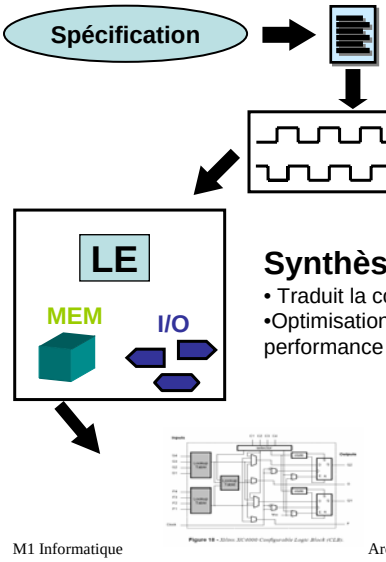
- Xilinx – Block SelectRAM
  - 18Kb dual-port RAM arranged in columns
- Altera – TriMatrix Dual-Port RAM
  - M512 – 512 x 1
  - M4K – 4096 x 1
  - M-RAM – 64K x 8



Multiplieurs enfouis



Flot de conception FPGA



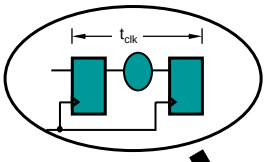
Entrées : codage RTL
Description structurelle ou comportementale

Simulation RTL
- Simulation fonctionnelle
- Vérifie le fonctionnement logique et le flot de données (Pas d'analyse temporelle)

Synthèse
- Traduit la conception en primitives matérielles spécifiques
- Optimisation pour satisfaire les contraintes en surface et performance

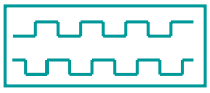
Placement & Routage
- mappe les primitives à des endroits précis dans la technologie cible par rapport aux contraintes surface et performance
- spécifie les ressources de routage à utiliser

Flot de conception FPGA



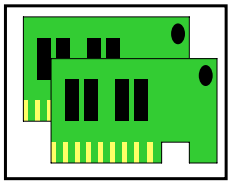
Analyse temporelle

- vérifie que les spécifications temporelles sont satisfaites
- Analyse temporelle statique



Simulation au niveau portes

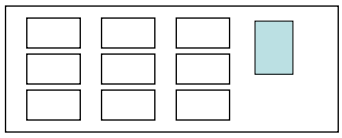
- Simulation temporelle
- Vérifie que la réalisation fonctionnera sur la cible

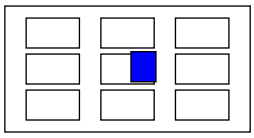


Programmation & Test

- Programmation & Test du composant sur la carte.

Processeur + FPGA : processeur intégré

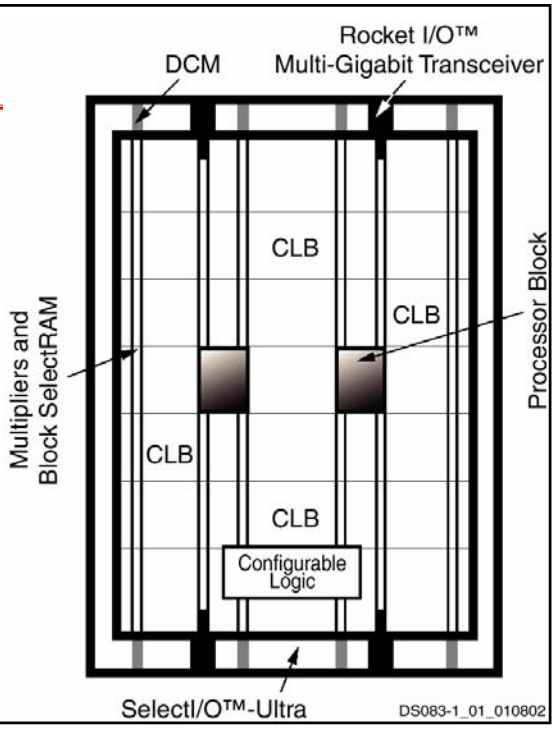




- Processeur dans le FPGA
  - Processeur en dur
    - PowerPC (Xilinx)
  - Coeur défini par logiciel (soft core)
    - NIOS II (Altera)
    - MicroBlaze (Xilinx)

Exemple (Xilinx)

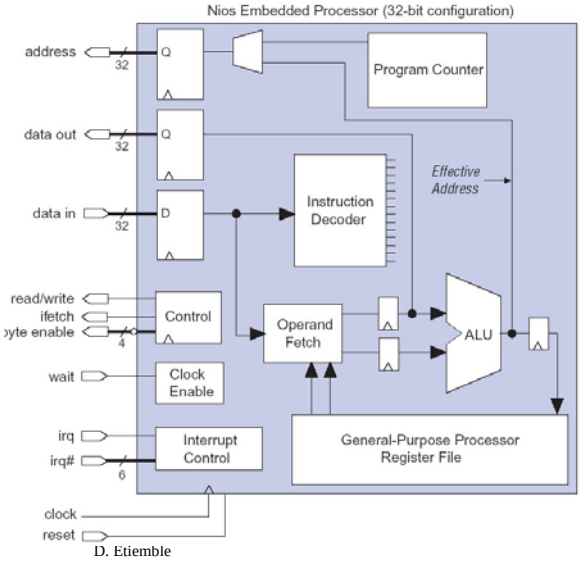
Le Virtex II Pro de Xilinx contient jusqu'à 4 coeurs de processeurs PowerPC



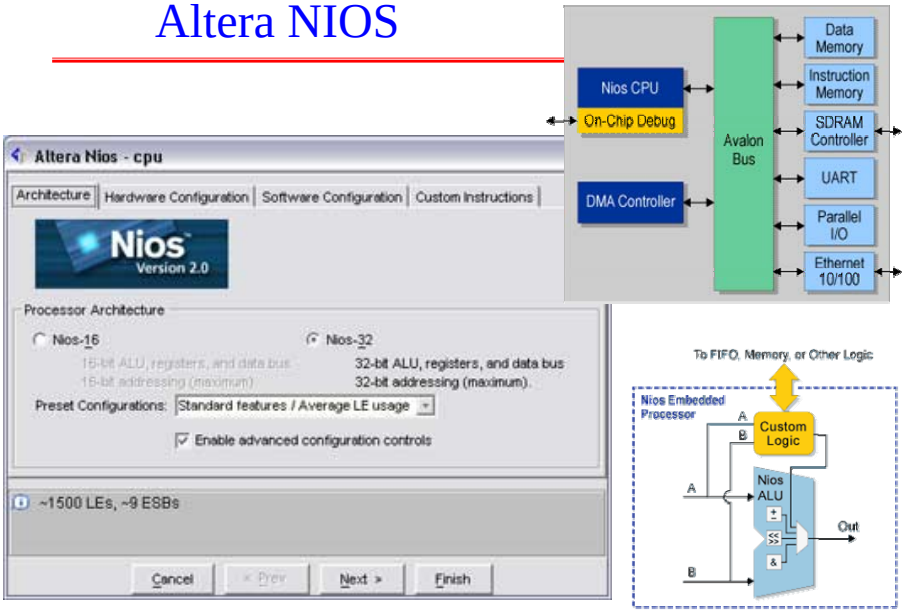
[© and source: Xilinx Inc.: Virtex-II Pro™ Platform FPGAs: Functional Description, Sept. 2002, //www.xilinx.com]

Altera NIOS II

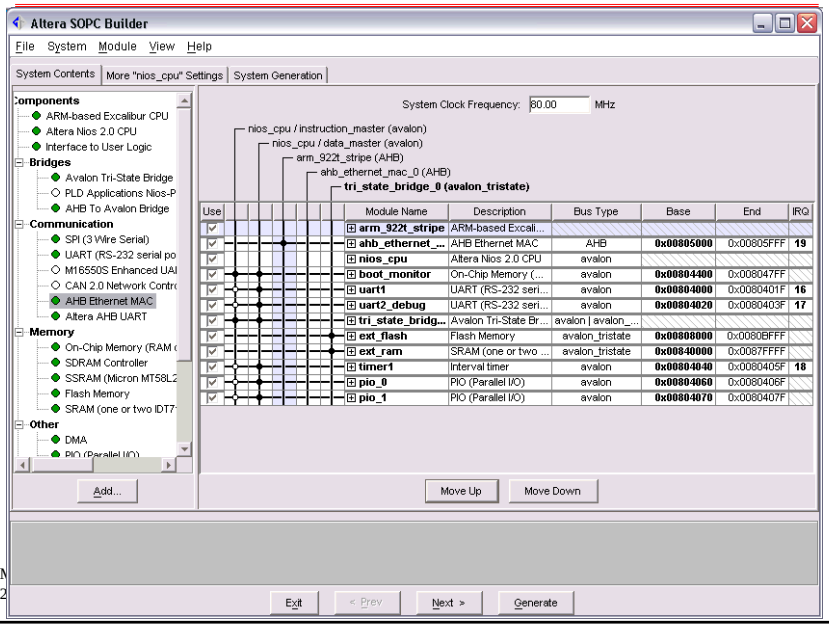
- Processeur RISC 32 bits (soft core)



Altera NIOS



Altera NIOS



FPGA Cyclone d'Altera

- Caractéristiques
  - Architecture
  - Applications
    - http://www.altera.com/products/devices/cost/cst-cost_step1.jsp
- Cyclone FPGA EP1C6-C7
  - Caractéristiques
  - Ressources logiques
  - Ressources mémoire
  - Horloges
  - Entrées-sorties

Caractéristiques de la famille Cyclone

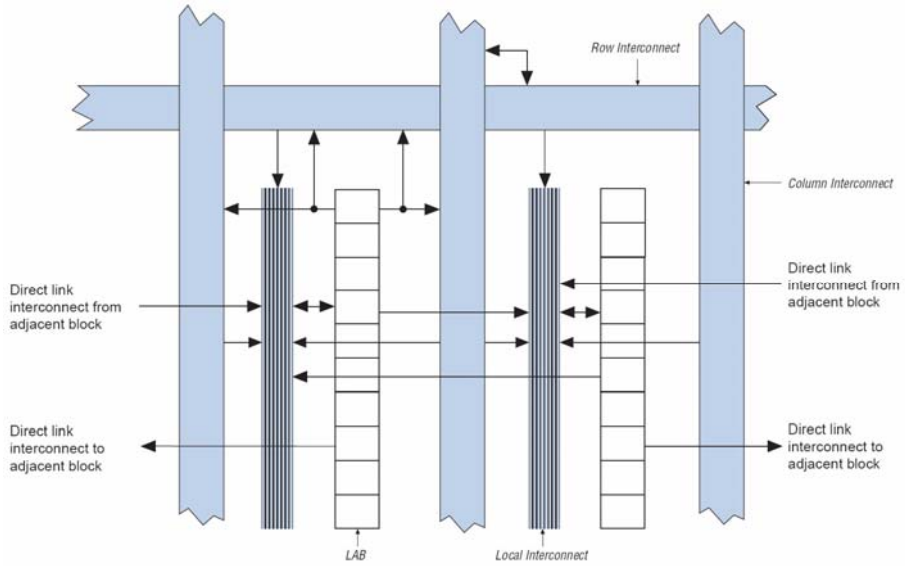
Table 1–1. Cyclone Device Features

Feature	EP1C3	EP1C4	EP1C6	EP1C12	EP1C20
LEs	2,910	4,000	5,980	12,060	20,060
M4K RAM blocks (128 × 36 bits)	13	17	20	52	64
Total RAM bits	59,904	78,336	92,160	239,616	294,912
PLLs	1	2	2	2	2
Maximum user I/O pins *(1)*	104	301	185	249	301

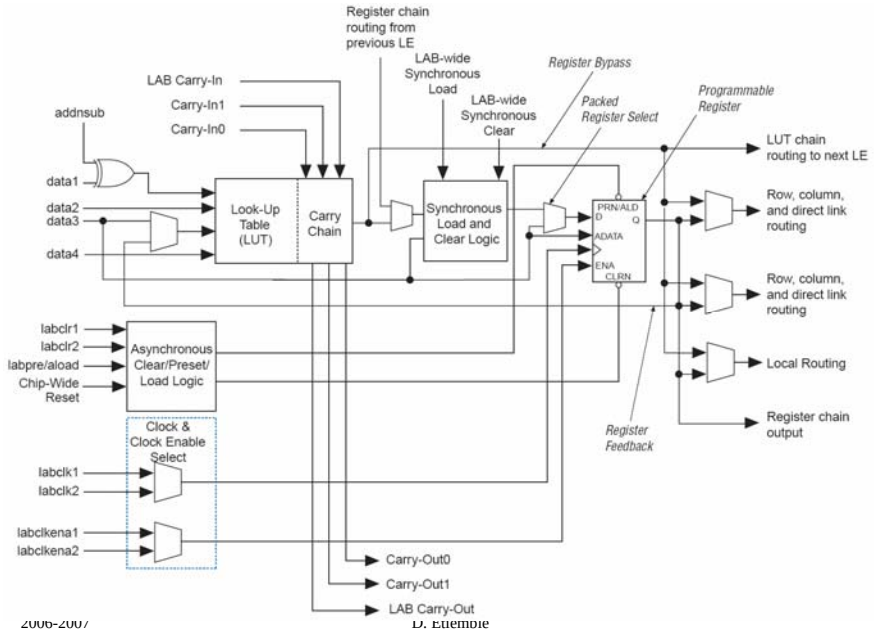
Table 1–2. Cyclone Package Options & I/O Pin Counts

Device	100-Pin TQFP *(1)*	144-Pin TQFP *(1), (2)*	240-Pin PQFP *(1)*	256-Pin FineLine BGA	324-Pin FineLine BGA	400-Pin FineLine BGA
EP1C3	65	104				
EP1C4					249	301
EP1C6		98	185	185		
EP1C12			173	185	249	
EP1C20					233	301

Structure des blocs du réseau logique Cyclone



Elément logique Cyclone



Blocs mémoire enfouis

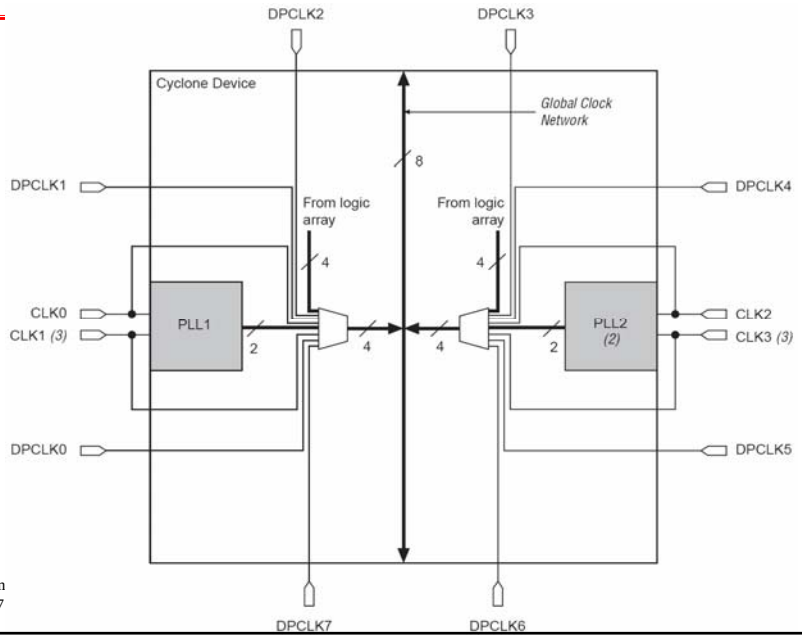
Table 2–3. M4K RAM Block Configurations (Simple Dual-Port)

Read Port	Write Port								
	4K × 1	2K × 2	1K × 4	512 × 8	256 × 16	128 × 32	512 × 9	256 × 18	128 × 36
4K × 1	✓	✓	✓	✓	✓	✓			
2K × 2	✓	✓	✓	✓	✓	✓			
1K × 4	✓	✓	✓	✓	✓	✓			
512 × 8	✓	✓	✓	✓	✓	✓			
256 × 16	✓	✓	✓	✓	✓	✓			
128 × 32	✓	✓	✓	✓	✓	✓			
512 × 9							✓	✓	✓
256 × 18							✓	✓	✓
128 × 36							✓	✓	✓

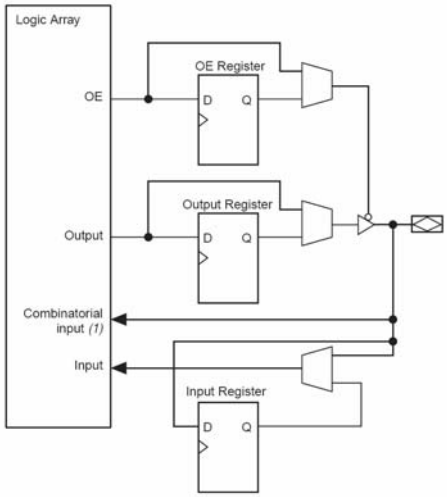
Table 2–4. M4K RAM Block Configurations (True Dual-Port)

Port A	Port B						
	4K × 1	2K × 2	1K × 4	512 × 8	256 × 16	512 × 9	256 × 18
4K × 1	✓	✓	✓	✓	✓		
2K × 2	✓	✓	✓	✓	✓		
1K × 4	✓	✓	✓	✓	✓		
512 × 8	✓	✓	✓	✓	✓		
256 × 16	✓	✓	✓	✓	✓		
512 × 9						✓	✓
256 × 18						✓	✓

Distribution de l'horloge globale



Elément d'entrée-sortie



Configuration

- Méthodes
  - JTAG
    - ByteBlaster pod
  - EPC2
    - Built-in ByteBlaster circuitry
    - FPGA automatically configures from EPC2 - should erase EPC2 if that is not desirable
- Fichiers
  - Fichier objet SRAM (*.SOF)
  - Fichier objet programmeur (*.POF)

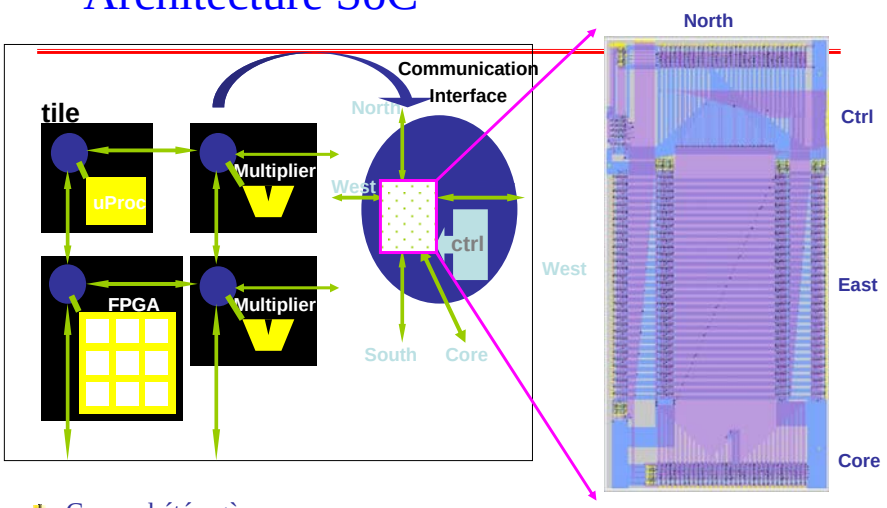
Table 3–1. Cyclone FPGA Configuration Schemes

Configuration Scheme	Description
Active serial (AS) configuration	Configuration using: • Serial configuration devices (EPCS1 or EPCS4)
Passive serial (PS) configuration	Configuration using: • Enhanced configuration devices (EPC4, EPC8, and EPC16) • EPC2, EPC1 configuration devices • Intelligent host (microprocessor) • Download cable
JTAG-based configuration	Configuration via JTAG pins using: • Download cable • Intelligent host (microprocessor) • Jam™ Standard Test and Programming Language (STAPL)

Evolution des FPGA

- Spécialisation
  - Mémoire
  - E/S
- Coeur IP (“Intellectual Property”)
  - Implantation de fonctionnalités particulières
  - http://www.altera.com/products/ip/ipm-index.html
- Evolution vers les Systèmes sur puce (SoC)

Architecture SoC



- Coeurs hétérogènes
- Connexions point à point
- **Interface de communication**