ARCHITECTURE DES ORDINATEURS
PARTIEL Octobre 2005
1H 45 – Tous documents autorisés

PARTIE 1 : REPRESENTATION DES NOMBRES

Soit la représentation flottante 16 bits correspondant à la figure 1. L'interprétation est similaire à celle des flottants IEEE simple et double précision. S est le bit de signe. L'exposant est biaisé avec un excès 15. La valeur 0 de la partie exposant est réservée pour la représentation de 0 (partie fractionnaire nulle) et des nombres dénormalisés (partie fractionnaire non nulle). La valeur 31 est réservée pour l'infini (partie fractionnaire nulle) et NaN (partie fractionnaire non nulle). Pour 0<PE<31, un nombre N correspond à $(-1)^S$ x (1,fraction) x $2^{(PE-15)}$ où PE est la partie exposant. Dans le cas où PE=0 et partie fractionnaire non nulle (nombres dénormalisés), un nombre N correspond à $(-1)^s$ x (0,fraction) x $2^{(-14)}$.
Avec cette représentation, le plus grand nombre positif représentable est 65 504, le plus petit nombre positif normalisé représentable est 2^{-14} et le plus petit nombre positif dénormalisé représentable est 2^{-24}.

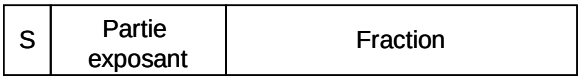

Figure 1 : flottants 16 bits

Q1) Donnez les valeurs décimales ou l'interprétation pour les flottants 16 bits suivants

A) 5000H
B) 4B80H
C) DE00H
D) 0200H
E) FC00H

Q2) Donnez la représentation hexadécimale en flottants 16 bits des nombres

A) +47
B) -65

Q3) Donner les résultats en hexadécimal pour les opérations sur les nombres flottants 16 bits :

A) $5000_H + 4B80_H$
B) $5000_H * 4B80_H$
C) $5000_H + DE00_H$
D) $5C00_H + FC00_H$

PARTIE 2 : EXECUTION D'INSTRUCTIONS

Dans cette partie, on utilise les instructions ARM décrites en annexe.
On suppose que les registres R0 à R5 ont les contenus suivants, exprimés en hexadécimal :

R0	1234 4321
R1	9876 ABCD
R2	FEDC 3210
R3	0000 000C
R4	8200 0000
R5	A000 0000

Q4) Donner les valeurs des registres modifiés après exécution des instructions suivantes

a) AND R6, R0,R1
b) ORR R7, R0, R1
c) EOR R8, R0, R1

Q5) Donner les valeurs des registres modifiés après exécution des instructions suivantes. On indiquera les cas de débordement (overflow).

a) ADD R9, R0,R2
b) ADD R10, R4,R5
c) SUB R11, R5, R3
d) ADD R12, R0, R1 ASR # 4 // ASR est un décalage arithmétique à droite
e) ADD R13, R0, R0 LSL #2 // LSL est un décalage logique à gauche

Q6) Donner l'instruction ou la suite d'instructions pour multiplier le contenu du registre R0 par

a) la constante 17
b) la constante 15
c) la constante 255

Soit une zone mémoire à partir de l'adresse A000 0000

Adresse (hexadécimal)	Contenu mot 32 bits (hexadécimal)
A000 0000	98 76 54 32
A000 0004	BC DE F0 12
A000 0008	AA AA CC CC
A000 000C	99 22 33 AA
A000 0010	1A 2B 3C 4D

Q7) Dans l'hypothèse d'une implantation « little endian », donner le contenu des octets d'adresse

- A000 0003
- A000 0004
- A000 0005
- A000 0006

Q8) Donner le contenu des registres ou des cases mémoire modifiées après exécution des instructions suivantes. **On suppose maintenant l'ordre « big endian ».**

a) LDR R6, [R5 ,#4]
b) LDRSB R7, [R5+R3]
c) LDRH R8, [R5, #12]
d) LDR R9, [R5], #8
e) LDR R10, [R5, #4] !
f) LDR [R5, #2] !
g) STR R1,[R4], #12
h) STRB R1, [R4-R3]

Q9) Que fait le code ci-dessous

```
MOV R0, #0 ;
LDR R1, [R5], #4
ADD R0, R0, R1
LDR R1, [R5, #4] !
ADD R0, R0, R1
LDR R1, [R5, #4] !
ADD R0, R0, R1
LDR R1, [R5, #4] !
ADD R0, R0, R1
LDR R1, [R5, #4] !
ADD R0, R0, R1
```

Annexe : Jeu d'instructions ARM

On rappelle que le processeur ARM a 15 registres de 32 bits. Les immédiats sont signés.

Instruction	Assembleur	Effet

ADD	ADD Ri, Rj, Rk
	ADD Ri, Rj, #N
	ADD Ri, Rj, Rk Décalage #N
		Ri ← Rj+Rk
		Ri ← Rj+N
		Ri ← Rj+(Rk décalé de N positions)

SUB	SUB Ri, Rj, Rk
	SUB Ri, Rj, #N
	SUB Ri, Rj, Rk Décalage #N
		Ri ← Rj - Rk
		Ri ← Rj - N
		Ri ← Rj – (Rk décalé de N positions)

RSB	RSB Ri, Rj, Rk RSB Ri, Rj, #N RSB Ri, Rj, Rk Décalage #N	Ri ← Rk - Rj Ri ← N - Rj Ri ← (Rk décalé de N positions) -Rj
AND (et logique)	AND Ri, Rj, Rk AND Ri, Rj, #N AND Ri, Rj, Rk Décalage #N	Ri ← Rj and Rk Ri ← Rj and N Ri ← Rj and (Rk décalé de N positions)
ORR (ou logique)	ORR Ri, Rj, Rk ORR Ri, Rj, #N ORR Ri, Rj, Rk Décalage #N	Ri ← Rj or Rk Ri ← Rj or N Ri ← Rj or (Rk décalé de N positions)
EOR (ou exclusif)	EOR Ri, Rj, Rk EOR Ri, Rj, #N EOR Ri, Rj, Rk Décalage #N	Ri ← Rj xor Rk Ri ← Rj xor N Ri ← Rj xor (Rk décalé de N positions)

Table 1 : Opérations arithmétiques et logiques utilisées

Les instructions mémoire utilisées sont données dans la table 2. L'adresse mémoire est donnée par le mode d'adressage indiqué dans la table 3. Mem32 signifie un accès mémoire à un mot de 32 bits. Mem16 signifie un accès mémoire à un demi-mot (16 bits). Mem8 signifie un accès octet. Dans le cas d'un accès Mem16 et Mem8, il est précisé si le registre de 32 bits est complété à gauche par des 0 (extension zéro) ou par le signe du demi-mot ou de l'octet lu (extension signe).

Instruction	Effet	Commentaire
LDR	Rn ← Mem32 (Adresse)	Chargement mot
LDRH	Rn ← extension zéro, Mem16 (Adresse)	Chargement demi mot non signé
LDRSH	Rn ← extension signe, Mem16 (Adresse)	Chargement demi mot signé
LDRB	Rn ← extension zéro, Mem8 (Adresse)	Chargement octet non signé
LDRSB	Rn ← extension signe, Mem8 (Adresse)	Chargement octet signé
STR	Mem32 (Adresse) ← Rn	Rangement mot
STRH	Mem16 (Adresse) ← Rn[15:0]	Rangement demi mot
STRB	Mem8 (Adresse) ← Rn[7:0]	Rangement octet

Table 2 : Instructions mémoire

Mode	Assembleur	Action
Déplacement 12 bits, Pré-indexé	[Rn, #deplacement]	Adresse = Rn + déplacement
Déplacement 12 bits, Pré-indexé avec mise à jour	[Rn, #deplacement] !	Adresse = Rn + déplacement Rn ← Adresse
Déplacement 12 bits, Post-indexé	[Rn], #deplacement	Adresse = Rn Rn ← Rn + déplacement
Déplacement dans Rm Préindexé	[Rn, ± Rm, décalage]	Adresse = Rn + décalage (Rm)
Déplacement dans Rm Préindexé avec mise à jour	[Rn, ± Rm, décalage] !	Adresse = Rn + décalage (Rm) Rn ← Adresse
Déplacement dans Rm Postindexé	[Rn], ± Rm, décalage	Adresse = Rn Rn ← Rn + décalage (Rm)

Table 3 : Modes d'adressage.