

CORRIGE Examen Architecture des Ordinateurs – 18 Décembre 2014

Tous documents autorisés. Calculatrices interdites. Durée 2h

1. Représentation des réels en format IEEE754 simple précision [4 pts]

Q1. Donner la valeur (représentation décimale) du nombre réel x représenté par 0xC2830000.

$$e = 128 + 5 - 127 = 6$$

$$\text{donc } x = -2^6 \times (1 + 2^{-6} + 2^{-7}) = -65,5$$

Q2 Coder 1,25

$e=0$ donc $E=127$ codé par 01111111

$f = 2^{-2}$ codé par 010...0

Représentation 0b 0011 | 1111 | 1010...0 = 0x 3FA00000

Q3. Quelle est la plus grande puissance de 2 représentable ? Donner sa représentation hexadécimale.

$$E_{\max} = 254, e_{\max} = 127 \text{ donc } 2^{127}$$

Représentation : 0b 0 | 11111110 | 0...0 = 0x7F000000

2. Opérations flottantes en format IEEE754 simple précision [3 pts]

Q4. Donner la valeur (représentation mathématique, par exemple 3^{24}) du résultat des additions suivantes dans l'additionneur flottant, sans coder les nombres :

$$y = 2^{-11} + 2^{-11} \text{ et } z = 2^{30} + 1$$

Pour y , l'opération ne nécessite pas de décalage des mantisses et ne produit pas d'arrondi, donc

$$z = 2^{-10}$$

Pour y , l'opération nécessite le décalage de la mantisse de la représentation de 1, qui produit à son tour un arrondi, donc $x = 2^{30}$

Q5. Donner le résultat (codage hexadécimal) de l'opération $0x3F800000 + 0x3F800000$ dans l'additionneur flottant.

$0x3F800000$ représente 1. Le résultat est le code de 2, qui s'obtient avec $E=128$ et $m=0$, soit $0x40000000$

3. Fonctions booléennes et circuits combinatoires [4 pts]

On considère les fonctions booléennes F et G des quatre variables X_3, X_2, X_1, X_0 données par la table de vérité de la table 1.

Q6. Donner l'écriture de F sous forme disjonctive normale.

$$F = m_3 + m_7 + m_8 + m_{11} + m_{12} + m_{15}$$

Q7. Donner une forme réduite de G ; justifier par un diagramme de Karnaugh.

$$G = x_3 \cdot !x_0 + x_1 \cdot x_0$$

Q8. Implanter la fonction logique F en utilisant un multiplexeur 8 entrées 1 sortie et un inverseur sur le modèle de la figure 1.

X3	X2	X1	X0	F	Entrée Mux
0	0	0	0	0	0
0	0	0	1	0	
0	0	1	0	0	X0
0	0	1	1	1	
0	1	0	0	0	0
0	1	0	1	0	
0	1	1	0	0	X0
0	1	1	1	0	

0	1	1	1	1	
1	0	0	0	1	!X0
1	0	0	1	0	
1	0	1	0	0	X0
1	0	1	1	1	
1	1	0	0	1	!X0
1	1	0	1	0	
1	1	1	0	0	X0
1	1	1	1	1	

4. Circuits logiques structurés [2 pts]

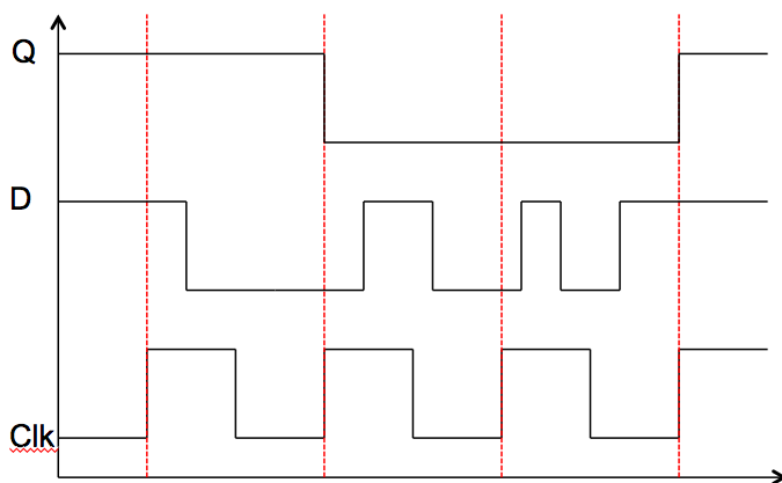
On considère le circuit de la figure 2. Le temps de propagation du circuit A est $5t$ pour la sortie S et $4t$ pour la sortie C. Le temps de propagation du circuit B est $3t$ pour la sortie S et $2t$ pour la sortie C.

Q9. Quel est le temps de propagation du circuit complet ? Justifier la réponse en décrivant le chemin critique considéré.

Les circuits A d'un même étage sont indépendants. Le chemin critique va donc de (m_0, q_0) à p_5 en passant par les trois circuits A associés à m_0 , puis par les trois circuits B, soit un temps de propagation de $21t$ (voir détails sur la figure 5).

5. Automates [2 pts]

Q10. En négligeant les temps de retard entre entrée et sortie, donner le signal Q pour les entrées de la figure 3 dans le cas de la bascule D (opaque) ; Q est initialement à 1.



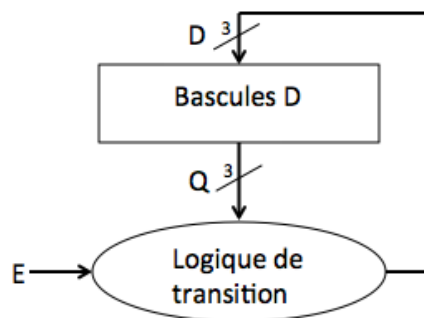
Q11. Réaliser un compteur-décompteur par 6, selon une entrée E qui est à 1 en mode compteur et 0 en mode décompteur. On donnera le nombre de bascules D nécessaires, la table de transition (table de vérité des D_i en fonction des Q_i et de E) et un schéma de principe. L'expression réduite des fonctions de transition n'est **pas** demandée.

6 états, donc 3 bascules D.

Etat courant	Q2	Q1	Q0	E	Etat futur	D2	D1	D0
0	0	0	0	0	5	1	0	1
0	0	0	0	1	1	0	0	1
1	0	0	1	0	0	0	0	0
1	0	0	1	1	2	0	1	0

2	0	1	0	0	1	0	0	1
2	0	1	0	1	3	0	1	1
3	0	1	1	0	2	0	1	0
3	0	1	1	1	4	1	0	0
4	1	0	0	0	3	0	1	1
4	1	0	0	1	5	1	0	1
5	1	0	1	0	4	1	0	0
5	1	0	1	1	0	0	0	0
autres	1	1	0	0	d	d	d	d

Schéma de principe



6. Microarchitecture [5 pts]

On considère la carte machine de la figure 4.

Q10. En utilisant le format de la table 2, définir les commandes associées à l'exécution de l'instruction LW Rd, Imm(Ra)

Q11. On veut étendre le jeu d'instruction MIPS avec les instructions

LW Rd, (Ra+Rb) : $Rd \leftarrow \text{mem}(Ra+Rb)$ et SW Rd, (Ra + Rb) : $\text{mem}(Ra+Rb) \leftarrow Rd$

En utilisant le format de la table 2, définir les commandes associées à l'exécution de l'instruction SW Rd, (Ra + Rb).

Inst	Cycle	Bus A	Bus B	Bus R	UAL	EXT	Comp	Mux1	MEM	WR
LD Rd, Imm(Ra)	1	BR	EXT	UAL	+	ES	x	x	Rien	RAdM
	2	RAdM	x	Mem	X	X	X	X	Lect	BR
ST Rd (Ra+Rb)	1	BR	BR	UAL	+	ES	x	x	Rien	RAdM
	2	RAdM	BR	x	X	X	X	X	Ecr	BR

m	X3	X2	X1	X0	F	G
0	0	0	0	0	0	0
1	0	0	0	1	0	0
2	0	0	1	0	0	0
3	0	0	1	1	1	1
4	0	1	0	0	0	0
5	0	1	0	1	0	0
6	0	1	1	0	0	0
7	0	1	1	1	1	1
8	1	0	0	0	1	1
9	1	0	0	1	0	0
10	1	0	1	0	0	d
11	1	0	1	1	1	1
12	1	1	0	0	1	1
13	1	1	0	1	0	0
14	1	1	1	0	0	d
15	1	1	1	1	1	1

Table 1

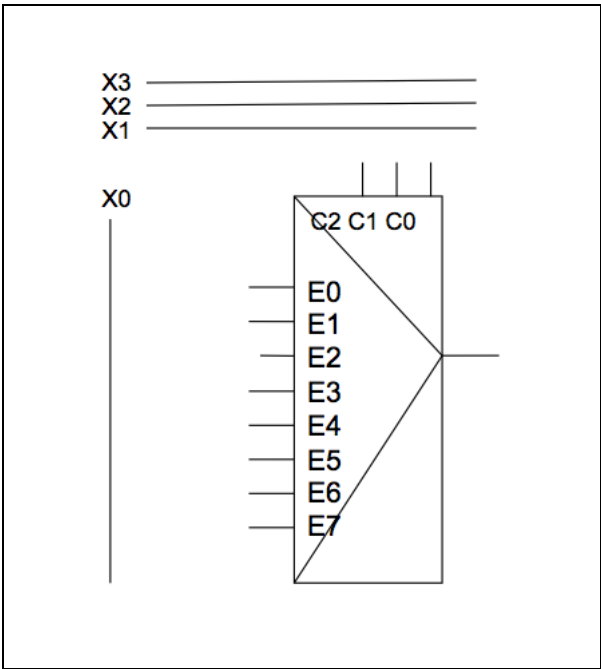


Figure 1

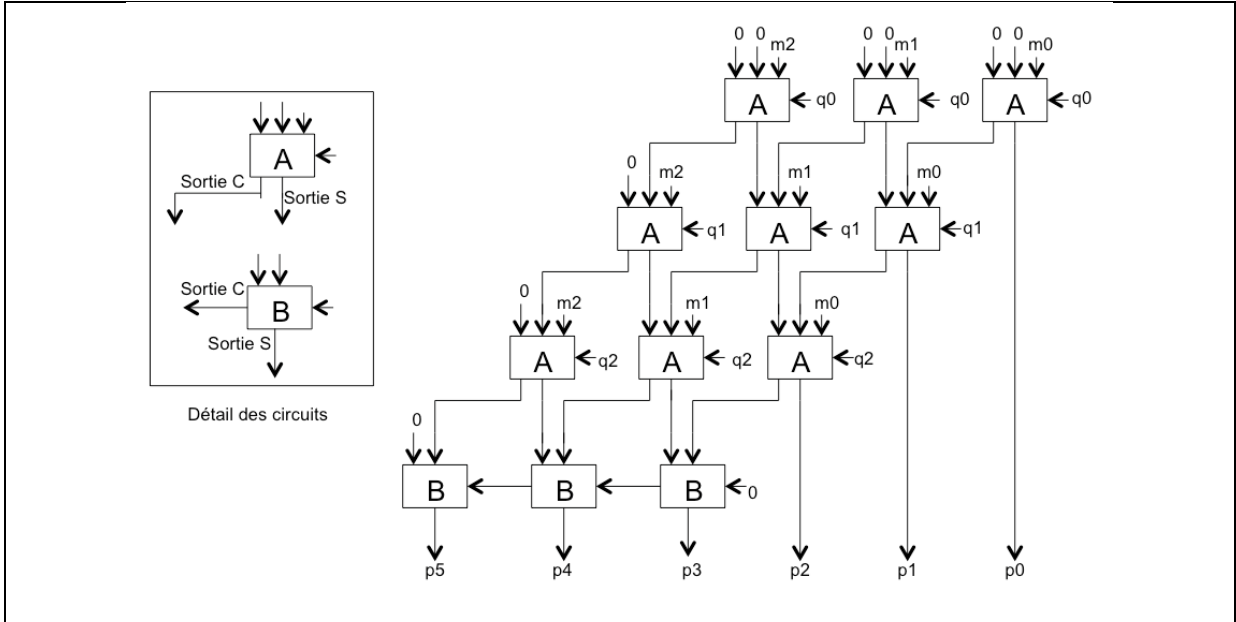


Figure 2

Inst	Codop	Function	Bus A	Bus B	Bus R	UAL	EXT	Comp	Mux1	MEM	WR

Table 2

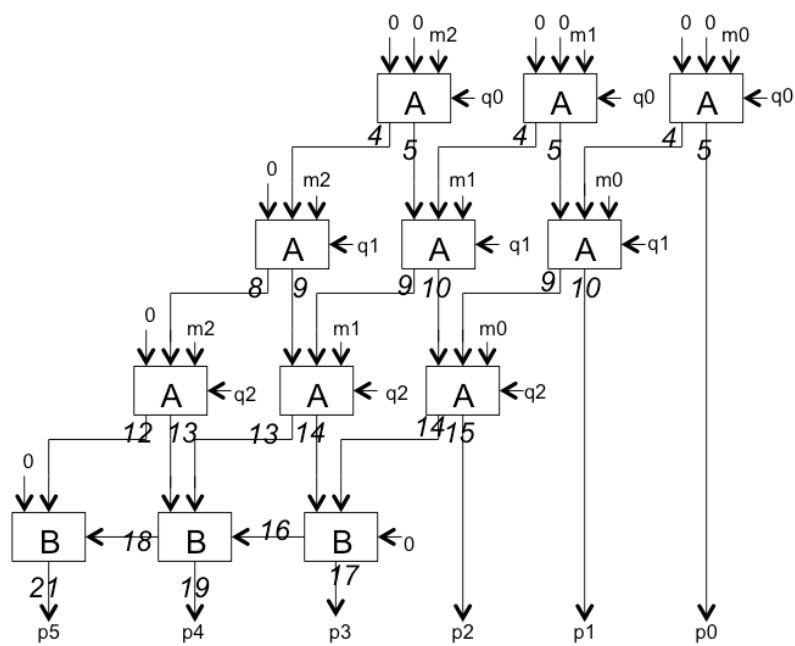


Figure 5