

---

## Architecture des ordinateurs Pipeline simple

Daniel Etiemble  
de@lri.fr

---

### L'exécution d'une instruction

- Les étapes fondamentales

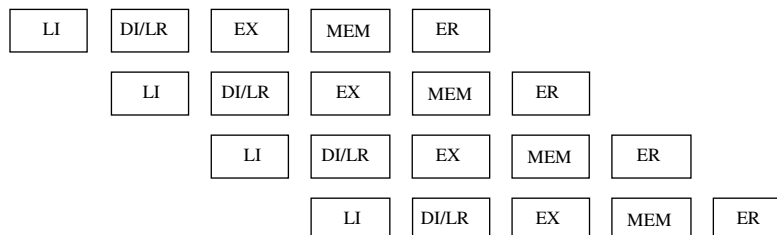
<i>Instructions UAL</i>	<i>Instructions Mémoire</i>	<i>Instructions Branchement</i>
Lecture instruction	Lecture instruction	Lecture instruction
Incrémentation CP	Incrémentation CP	Incrémentation CP
Décodage de l'instruction	Décodage de l'instruction	Décodage de l'instruction
Lecture des opérandes	Calcul de l'adresse	Calcul de l'adresse de
Exécution	mémoire	branchement
Ecriture du résultat	Accès mémoire	Exécution
	Rangement du résultat	

## Exécution d'une instruction : les différentes étapes

- Instructions entières  
LI/CP DI/LR EX ER
- Instructions flottantes  
LI/CP DI/LR EX1 EX2 ... ER
- Instructions mémoire  
LI/CP DI/LR CA AM ER
- Instructions de branchement  
LI/CP DI/CAB/EX

## Pipeline 1 instruction par cycle

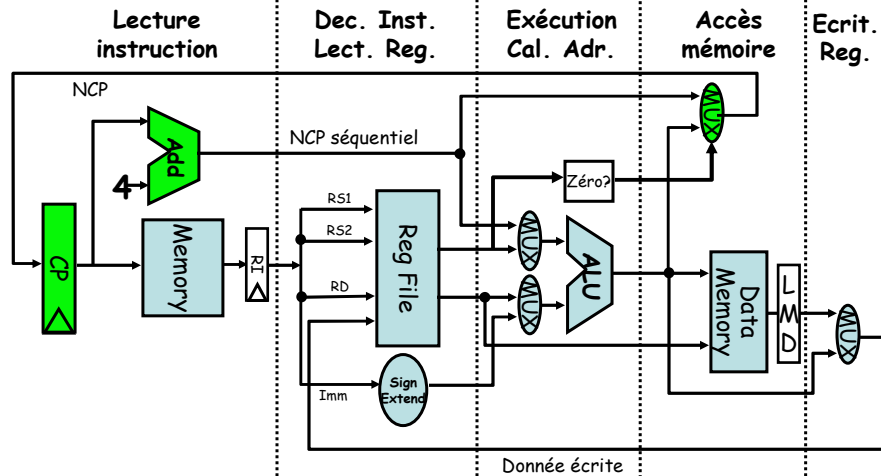
Pipeline R2000-R3000



Latence : 5 cycles

Débit : 1 instruction par cycle

## Exécution scalaire MIPS (non pipelinée)

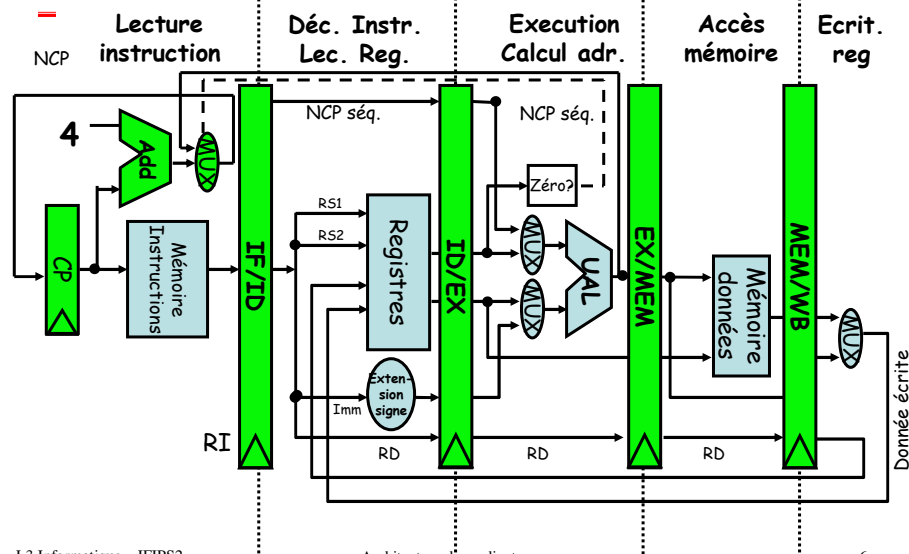


L3 Informatique – IFIPS2  
2007-08

Architecture des ordinateurs  
D. Etiemble

5

## Exécution scalaire MIPS (pipelinée)

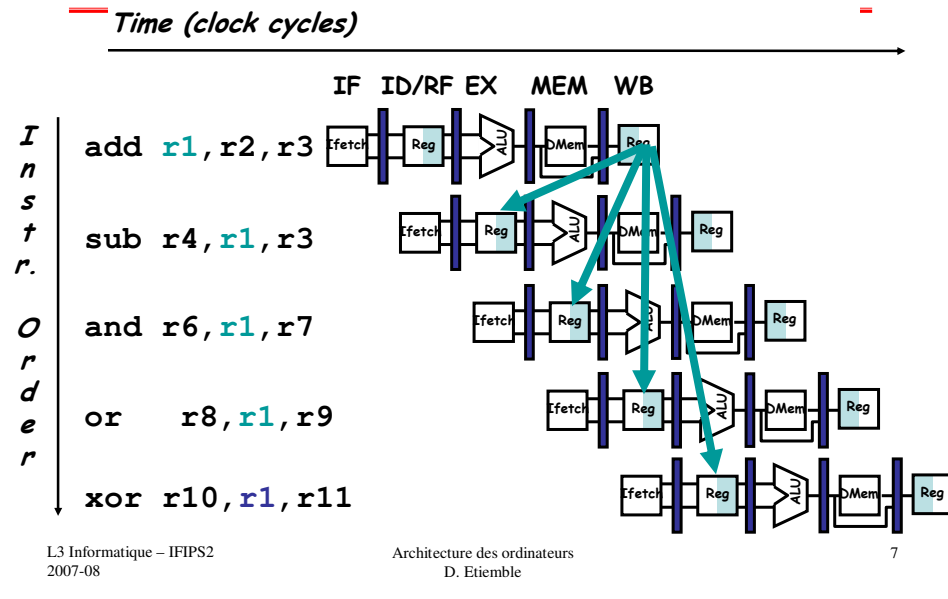


L3 Informatique – IFIPS2  
2007-08

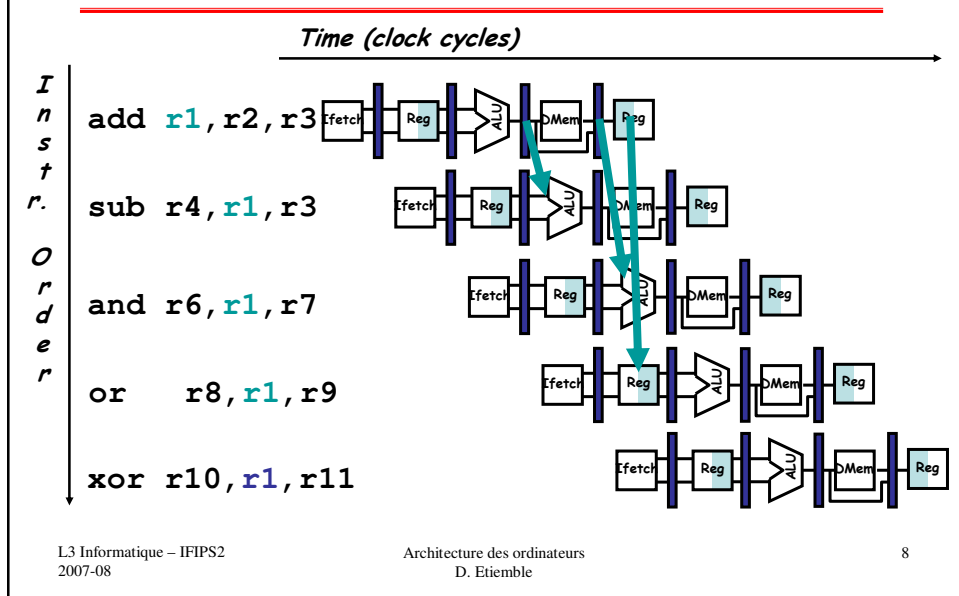
Architecture des ordinateurs  
D. Etiemble

6

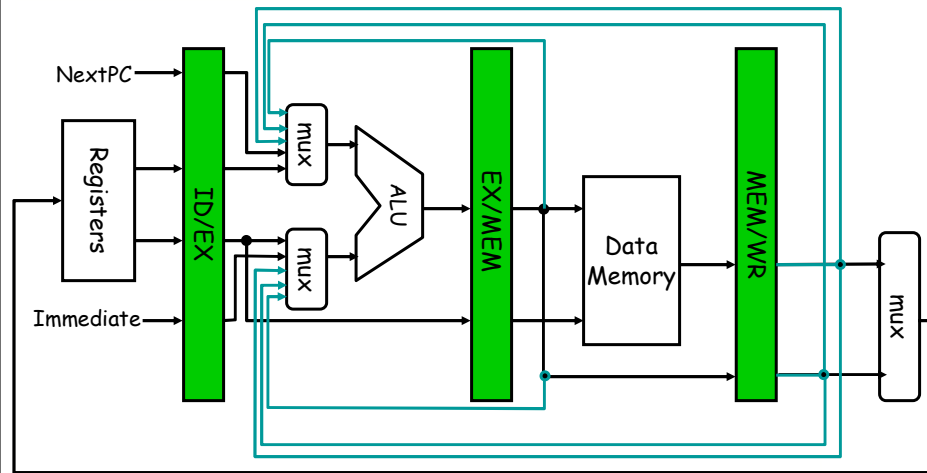
## Aléas de données



## Envoi pour éviter les aléas



## Matériel pour l'envoi



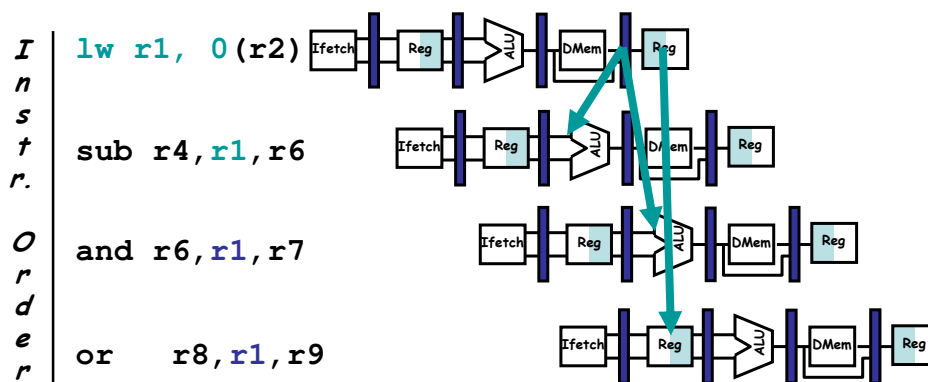
L3 Informatique – IFIPS2  
2007-08

Architecture des ordinateurs  
D. Etiemble

9

## Aléas de données incontournables

*Time (clock cycles)*

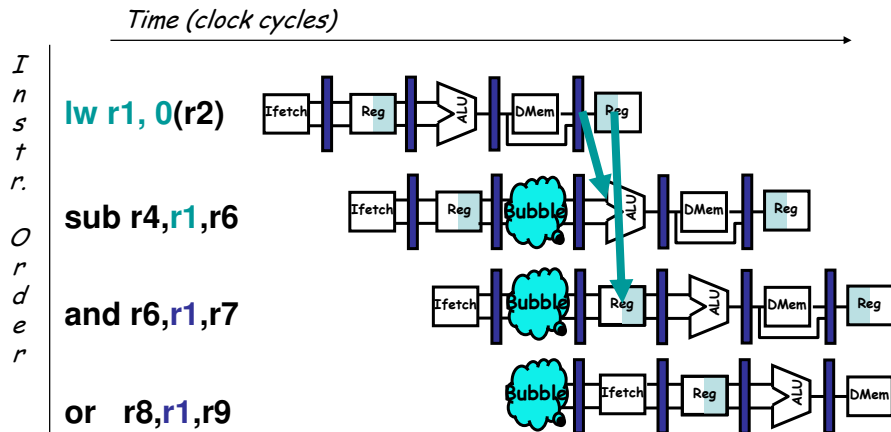


L3  
2007-08

Architecture des ordinateurs  
D. Etiemble

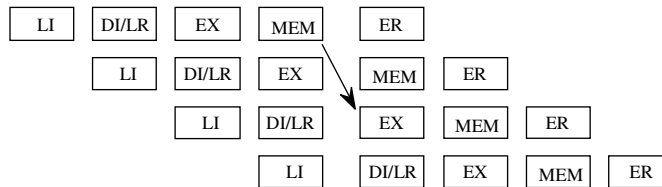
10

## Aléas de données incontournables



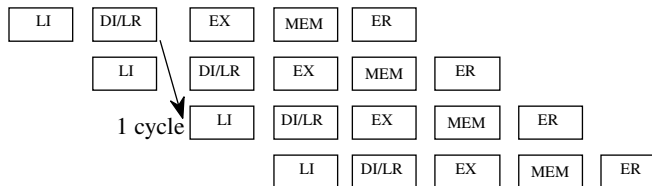
## Les délais liés au pipeline

### DELAI DE CHARGEMENT



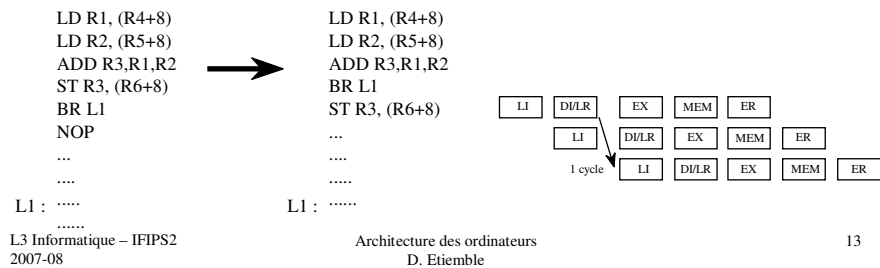
### DELAI DE BRANCHEMENT

1 cycle



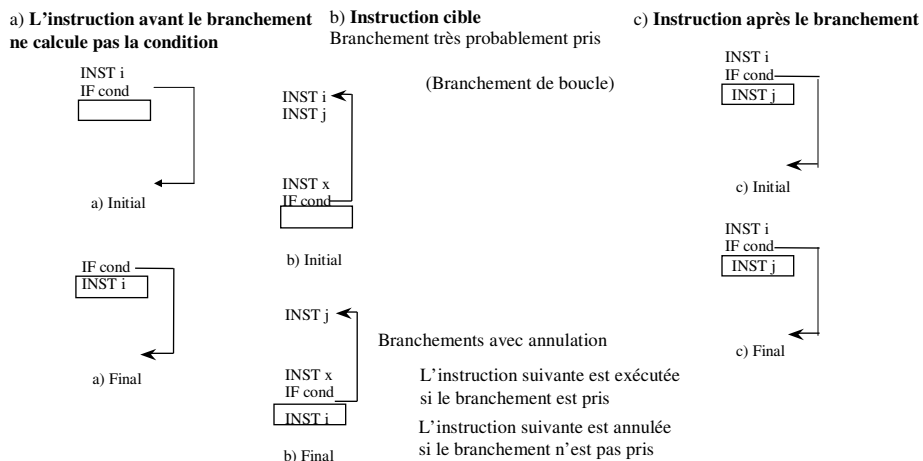
## Le problème des branchements

- **INSTRUCTIONS SAUT/BRANCHEMENT : possibilités**
  - Annulation par matériel de l'instruction qui suit.
    - Toute instruction de contrôle prend 2 cycles.
  - Insérer une instruction NOP
    - Toute instruction de contrôle prend 2 cycles
  - Saut/branchement retardé d'un cycle
    - L'instruction après le branchement est exécutée avant que le branchement ou le saut soit effectué
    - Si le compilateur peut réordonner les instructions, saut et branchement en 1 cycle

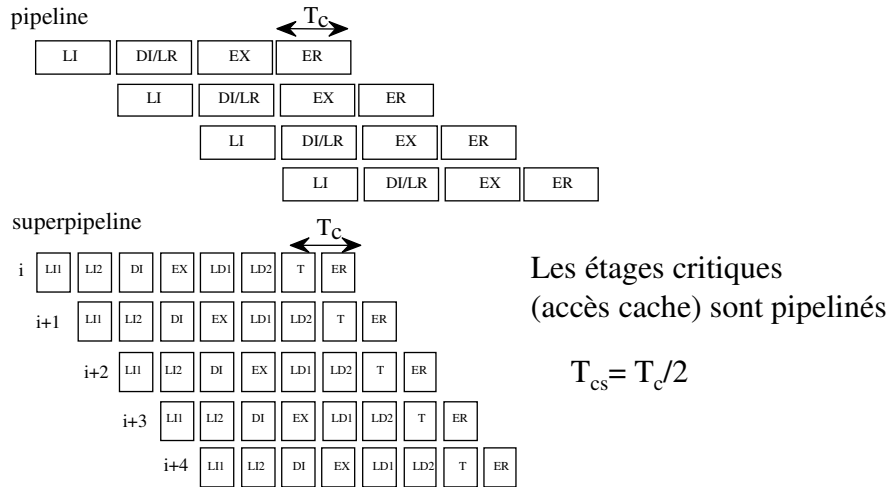


## Les branchements conditionnels retardés

### Schémas de réordonnement

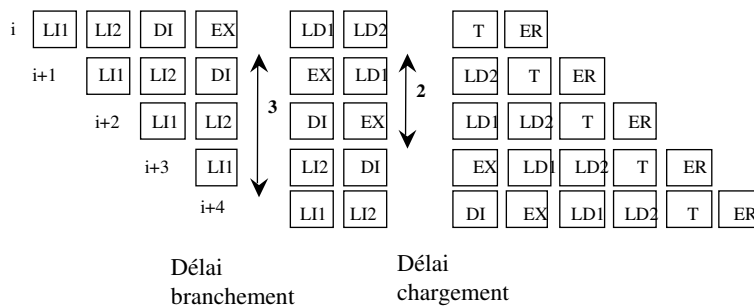


## Approche superpipeline



## Superpipelines : chargements et branchements

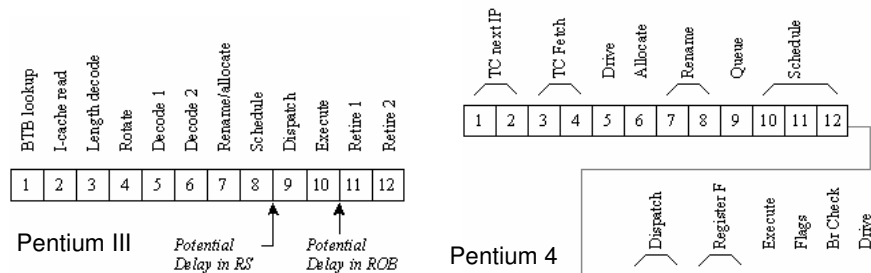
### Superpipeline MIPS R4000





## Pipelines Pentium III et Pentium 4

- Superpipeline : technique permettant d'utiliser des fréquences d'horloge élevée (2 à 3 GHz en 2003)



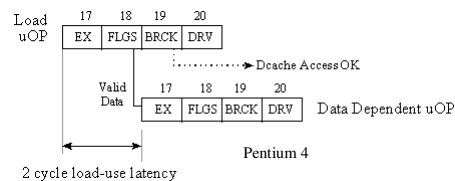
L3 Informatique – IFIPS2  
2007-08

Architecture des ordinateurs  
D. Etiemble

17

## Latences chargement/branchement

Latence de chargement



Pénalité de mauvaise prédiction

1	2	3	4	5	6	7	8	9	10
Fetch	Fetch	Decode	Decode	Decode	Rename	ROB Rd	Rdy/Sch	Dispatch	Exec

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
TC Next IP	TC Fetch	Drive/Alloc	Rename	Que	Sch	Sch	Disp/Op	RF	RF	Ex	Flgs	Br Ck	Drive						

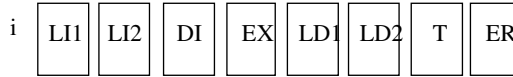
- Optimisation matérielle
  - Prédiction de branchement
- Optimisation programmeur/compilateur
  - Ordonnancement des instructions
  - Conversion SI
    - Utilisation des instructions de transfert conditionnel pour supprimer des branchements conditionnels

L3 Informatique – IFIPS2  
2007-08

Architecture des ordinateurs  
D. Etiemble

18

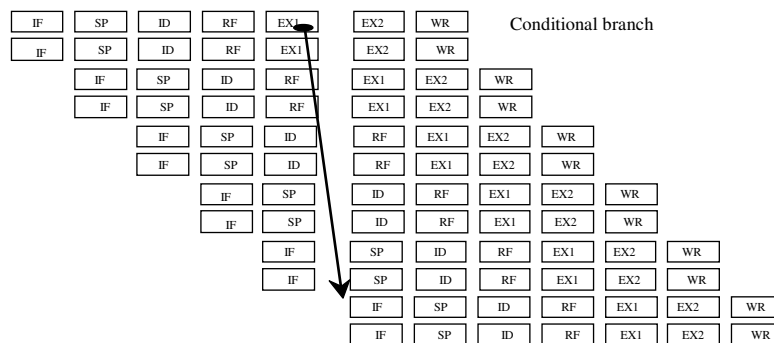
## Caractéristiques des superpipelines



- **Avantages**
  - Simple extension du pipeline scalaire
- **Inconvénients**
  - fréquence d'horloge plus élevée
  - circuits d'anticipation (forwarding) plus complexes
  - Délais de branchement et chargement plus élevés,
- **Remarque**
  - La compatibilité binaire doit être préservée : Pb des branchements retardés (SPARC, MIPS)

## Le problème des branchements

- **Exemple du 21064**



Comportement du branchement connu à la fin de EX1