

giste 4-bits capable d'effectuer un décalage de 1 bit vers la gauche ou vers la droite en un cycle (à partir de la valeur enregistrée). On effectuera un décalage « logique », c'est-à-dire que l'on introduira des 0 à droite ou à gauche, respectivement. Le registre doit pouvoir se comporter soit comme un registre classique, soit comme un registre à décalage ; on dispose pour cela d'un signal *NEW* (1 = registre classique, 0 = registre à décalage). On dispose également d'un signal *DIR* indiquant la direction du décalage (1 = décalage à droite, 0 = décalage à gauche).

Réponse

On suppose que le registre 4-bits est initialisé à l'aide d'un signal *NEW* lors d'un top d'horloge. On introduit un signal *DIR* de direction de décalage, et on suppose que le décalage ne se fait que lorsque *NEW* est à 0. La brique de base du registre à décalage est donc une bascule *D* précédée d'un multiplexeur sélectionnant soit l'entrée d'initialisation — *NEW* = 1 — soit le bit immédiatement à gauche dans les sorties des bascules — *NEW* = 0 et *DIR* = 1 — soit le bit immédiatement à droite dans les sorties des bascules — *NEW* = 0 et *DIR* = 0 ; l'entrée de gauche (resp. droite) du multiplexeur de poids le plus fort (resp. faible) étant relié au signal nul.

Voir le circuit de la figure 8 — réalisé pour un registre 16-bits — et le fichier *shift.lgf*.

Question 2.2.2

En utilisant un circuit combinatoire réalisé à la question précédente, construisez maintenant un circuit capable d'effectuer *d* décalages, $0 \leq d < 4$, à droite ou à gauche sur un mot de 4 bits, en un seul cycle. Un tel circuit s'appelle un *barrel shifter*.

Réponse

On peut réaliser un circuit de taille $n \log_2 n$ en enchaînant $\log_2 n$ colonnes de n multiplexeurs 4×1 dont les entrées sont décalées à droite ou à gauche de $n, n/2, \dots, 2$, et 1 bits respectivement. Chaque multiplexeur est contrôlé par un signal *DIR* de direction et un signal SH_k , $k \in \{1, 2, \dots, n/2, n\}$ pour sélectionner une entrée décalée ou non. Le schéma de décalage à gauche pour $n = 8$ est donné sur la figure 9.

Voir le circuit de la figure 10 — réalisé pour un registre 16-bits — et le fichier *barrel.lgf*, en ignorant les multiplexeurs 2×1 qui font partie de la correction de l'exercice suivant.

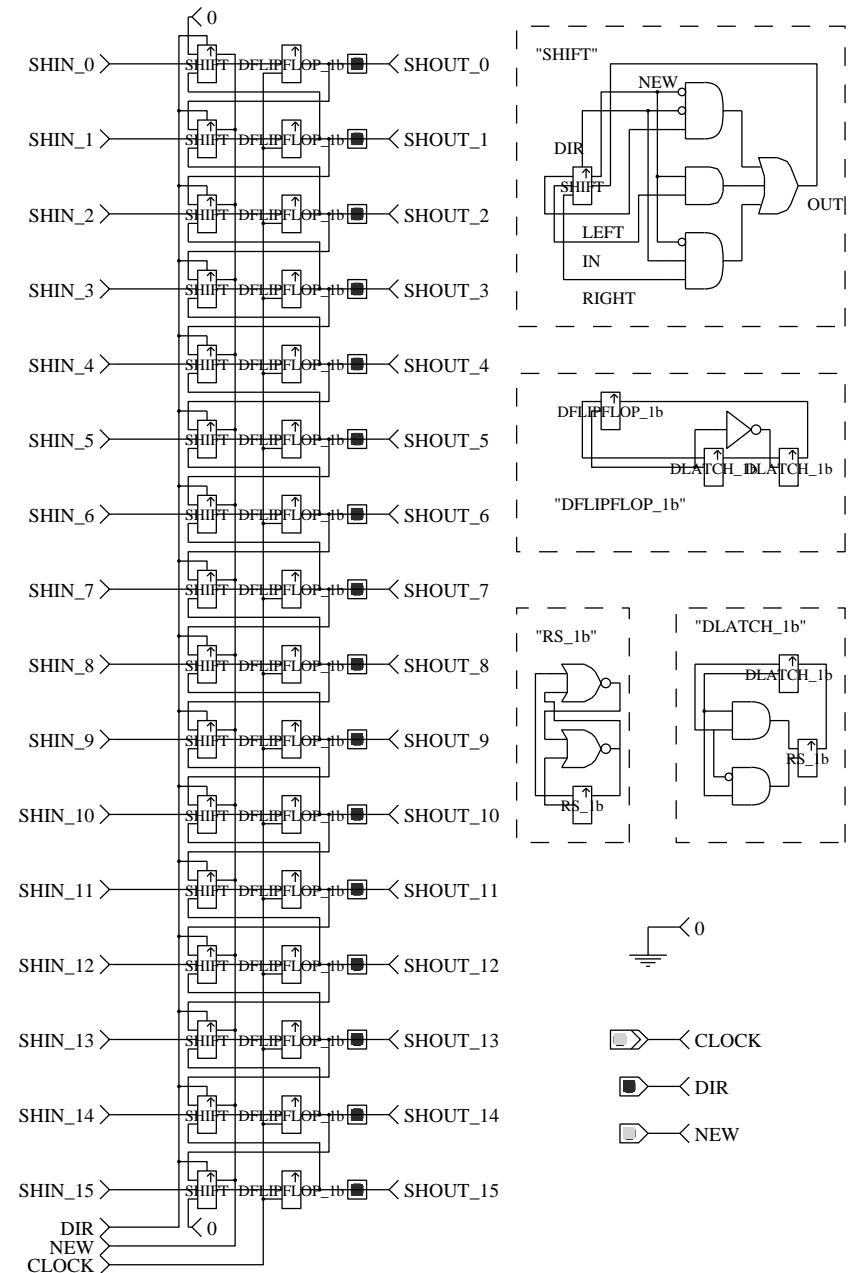


FIG. 8 – Registre à décalage

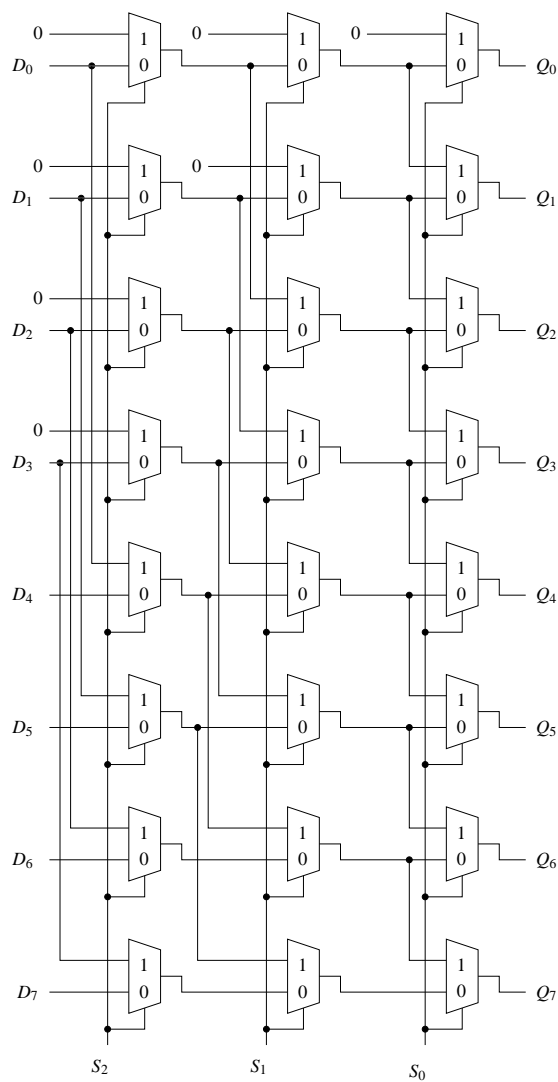


FIG. 9 – Schéma d'un barrel shifter 8-bits (décalage à gauche)

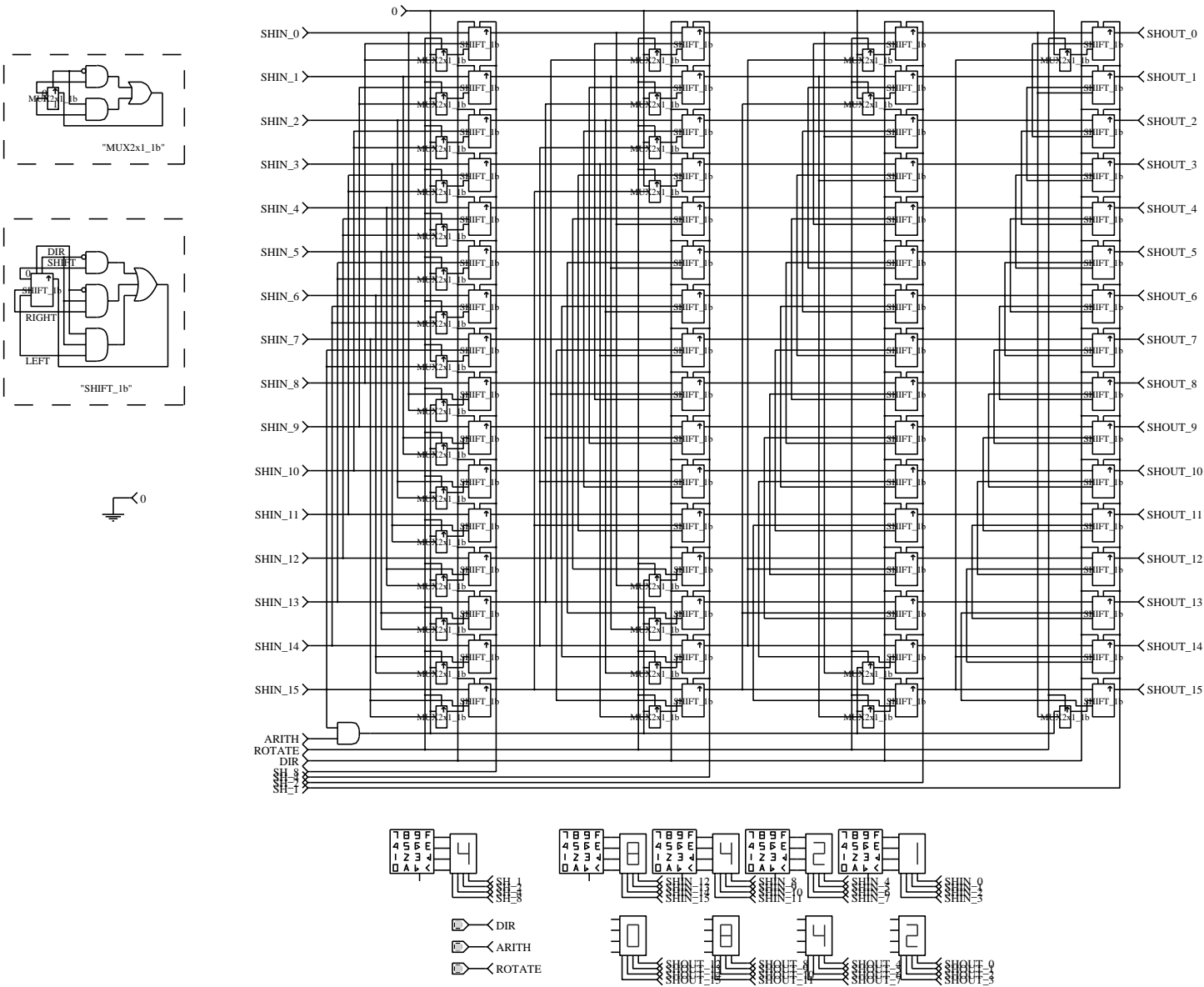


FIG. 10 – Circuit du barrel shifter

Question 2.2.3

Pour un mot de n bits, quel est le nombre de multiplexeurs qu'un bit donné doit traverser lors d'un décalage de d bits, $0 \leq d < n$?

Quelles seraient les conséquences si l'on cherchait à réduire encore la latence de traversée du registre à décalage ?

Réponse

Sur le circuit précédent, il y a $\log_2 n$ étapes de traversée quelle que soit la valeur de d .

Le barrel shifter est un compromis entre taille du circuit et latence de traversée. Si l'on cherchait à obtenir une latence indépendante de n , on obtiendrait nécessairement un circuit de taille exponentielle (un multiplexeur par valeur de d et une porte OU à n entrées par signal de sortie ; un tel circuit ne serait réalisable que pour de petites valeurs de n).

Exercice 2.3 (facultatif) - Compléments sur le décalage

On étend le registre à décalage avec des opérations supplémentaires.

Question 2.3.1

Modifier le barrel shifter pour permettre le décalage logique, ainsi que la rotation

de d bits vers la gauche ou vers la droite.

Réponse

À chaque étage, on ajoute des multiplexeurs 2×1 en amont des multiplexeurs de décalage.

Ceux-ci permettent de choisir entre un remplissage par des 0 ou par les bits évincés lors du décalage — afin d'effectuer une rotation. Chaque bit rempli par un 0 ou un bit évincé nécessite un multiplexeur 2×1 :

— le premier étage en nécessite 16, les 8 bits de poids fort (resp. faible) sont remplis lors d'une rotation à droite (resp. gauche) ;

— le deuxième en nécessite 8, les 4 bits les plus à gauche et les 4 bits les plus à droite ;

— le troisième en nécessite 4 ;

— le quatrième en nécessite 2.

On peut remarquer que ces multiplexeurs peuvent être remplacés par des portes ET, l'une de leurs entrées étant toujours nulle. Voir le circuit de la figure 10 et le fichier barrel1.tgf.

Question 2.3.2

Si l'on considère maintenant que le registre à décalage ci-dessus contient un nombre représenté en complément à 2, quel est l'effet d'un décalage à droite ? à gauche ? En quoi le décalage d'un nombre est-il différent du décalage logique ? Le décalage d'un nombre s'appelle le décalage « arithmétique ». Modifier le circuit ci-dessus pour qu'il puisse effectuer soit un décalage logique, soit un décalage arithmétique.

Réponse

On ajoute une porte ET entre le signal ARITH et le bit de poids fort de l'entrée IN15. Voir la figure 10 et le fichier barrel1.tgf.