

## L2 Math Info

### Corrigé Examen CLM – Mai 2014

TOUS DOCUMENTS AUTORISÉS

#### Partie 1 : Bascules D

Soit le circuit (Figure 1) et les signaux C et D (Figure 2)

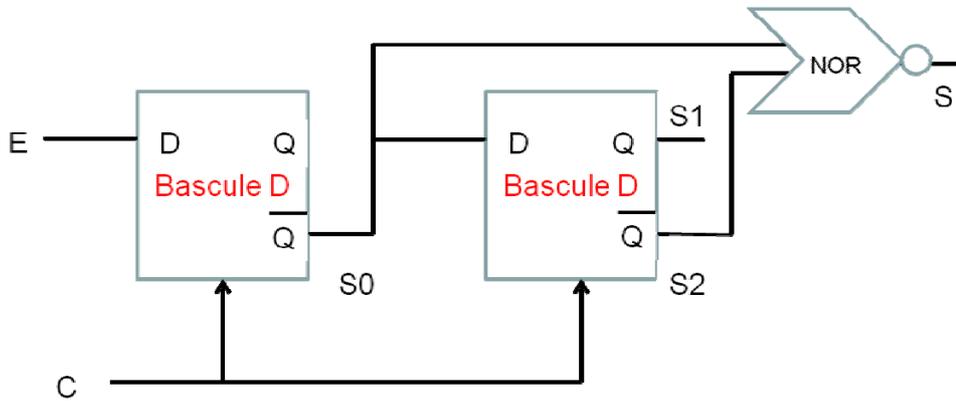


Figure 1 : Deux bascules D plus porte NOR

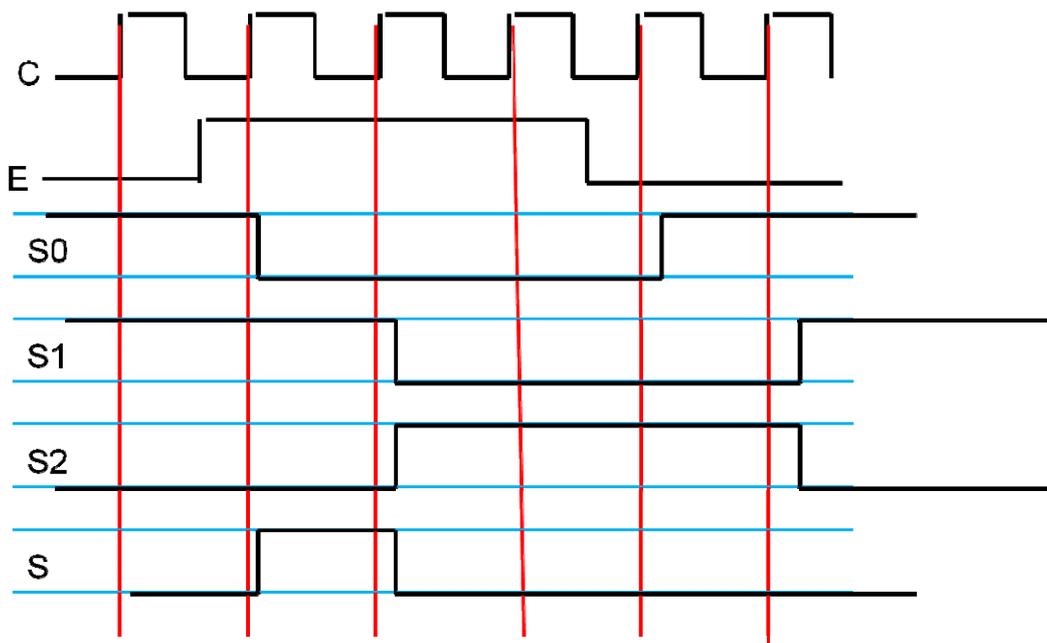


Figure 2 : Signaux appliqués sur le circuit.

Q 1) Dessiner les signaux S0, S1, S2 et S (sans tenir compte des temps de retard entre C et les sorties des bascules).

#### Partie 2 : Compteurs

Q 2) Réaliser un compteur par 12 (0 à 11) avec des bascules D en donnant les expressions simplifiées des entrées des bascules en fonction des sorties des bascules.

	Q3	Q2	Q1	Q0	D3	D2	D1	D0
0	0	0	0	0	0	0	0	1
1	0	0	0	1	0	0	1	0
2	0	0	1	0	0	0	1	1
3	0	0	1	1	0	1	0	0
4	0	1	0	0	0	1	0	1
5	0	1	0	1	0	1	1	0
6	0	1	1	0	0	1	1	1
7	0	1	1	1	1	0	0	0
8	1	0	0	0	1	0	0	1
9	1	0	0	1	1	0	1	0
10	1	0	1	0	1	0	1	1
11	1	0	1	1	0	0	0	0

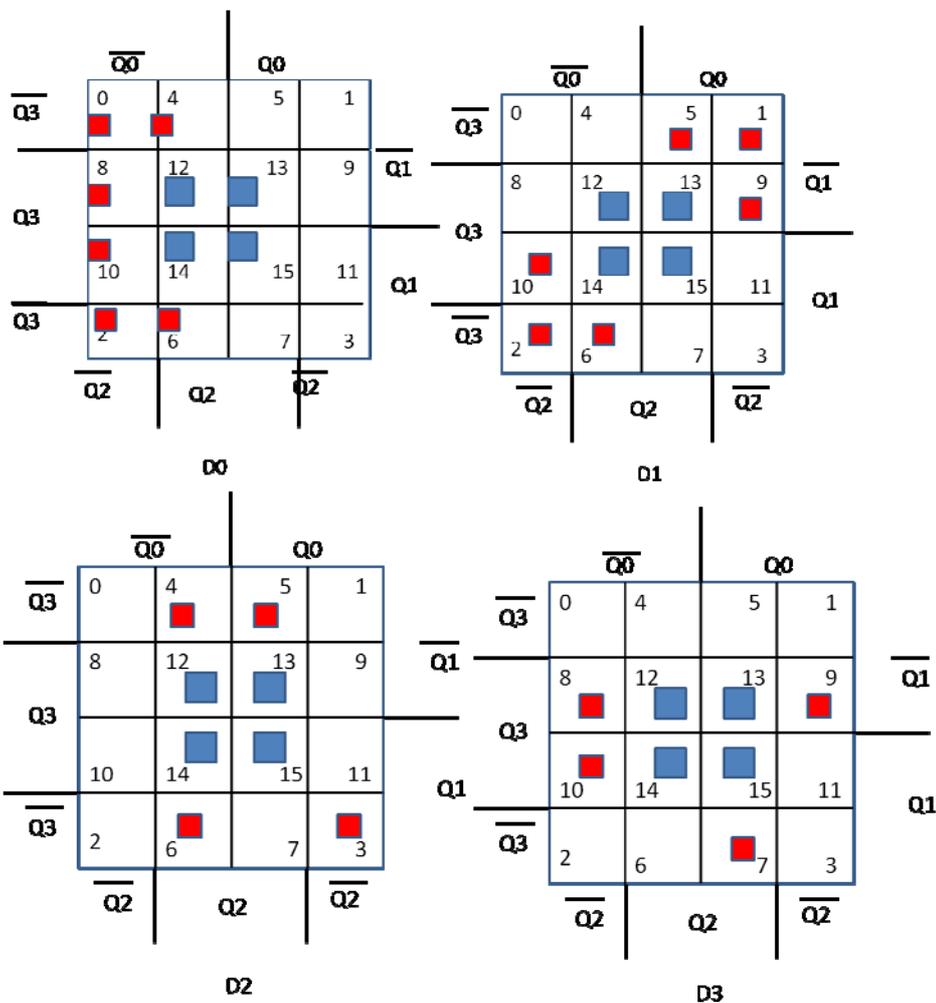
$\Sigma m(12,13,14,15)$  indifférents

$D3 = \Sigma m(7,8,9,10)$

$D2 = \Sigma m(3,4,5,6)$

$D1 = \Sigma m(1,2,5,6,9,10)$

$D0 = \Sigma m(0,2,4,6,8,10)$



$$D3 = Q3 \cdot \overline{Q1} + Q3 \cdot \overline{Q0} + Q2 \cdot Q1 \cdot Q0$$

$$D2 = Q2 \cdot \overline{Q1} + Q2 \cdot \overline{Q0} + \overline{Q3} \cdot \overline{Q2} \cdot Q1 \cdot Q0$$

$$D1 = Q1 \oplus Q0$$

$$D0 = \overline{Q0}$$

On dispose d'un compteur 16 bits (avec une entrée de contrôle chargement/compteur qui charge le contenu de P3P2P1P0 lorsqu'elle est à 0, et pour lequel le compteur compte lorsqu'elle est égale à 1).

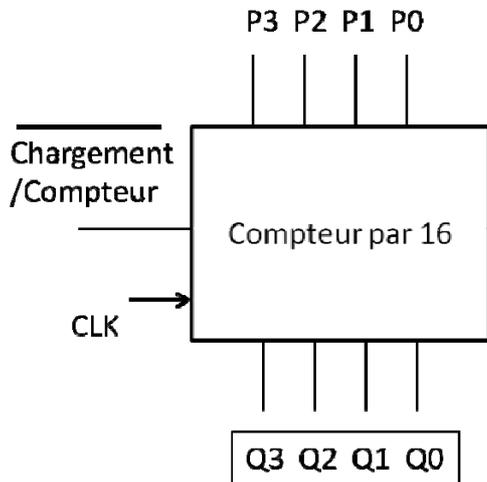
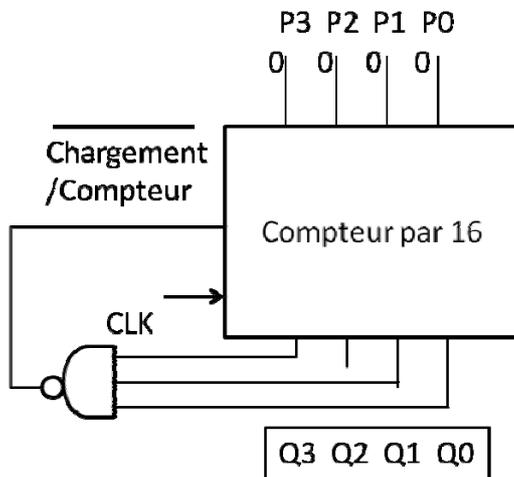


Figure 3 : Compteur par 16 avec chargement

**Q 3) Réaliser un compteur par 12 (0 à 11) avec le compteur par 16 et une porte logique (donner le schéma du compteur par 12).**

Le compteur doit charger 0000 quand  $Q3Q2Q1Q0 = 1011$ .



Soit un registre à décalage, constitué de trois bascules dont les sorties sont  $Q_0$ ,  $Q_1$  et  $Q_2$  avec des liaisons  $D_i = Q_{i-1}$  et une liaison  $D_0 = \overline{Q_2}$ .

On suppose qu'initialement,  $Q_0 = Q_1 = Q_2 = 0$ .

**Q 4) Donner les états successifs du registre à décalage. Quelle est la fonction réalisée par ce registre à décalage rebouclé ?**

	Q2	Q1	Q0	D0
0	0	0	0	1
1	0	0	1	1
2	0	1	1	1
3	1	1	1	0
4	1	1	0	0
5	1	0	0	0
<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>1</b>

Compteur par 6

### Partie 3 : Automate

Soit l'automate de la figure

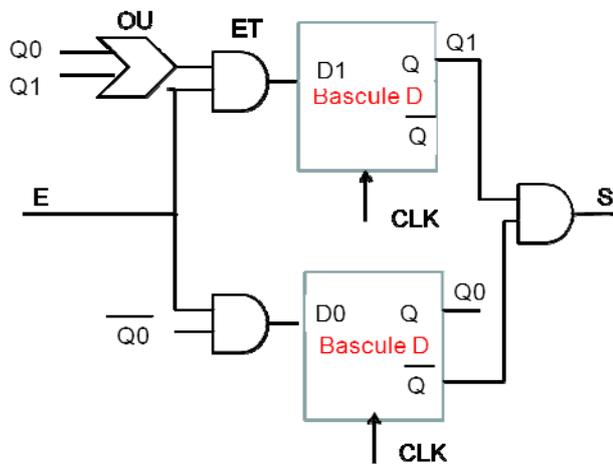


Figure 4 : Automate

Q 5) Donner les expressions logiques des entrées D1 et D0 des bascules et de la sortie S en fonction de E, Q1 et Q0.

$$S = Q1 \cdot \overline{Q0}$$

$$D0 = E \cdot \overline{Q0}$$

$$D1 = E(Q1 + Q0)$$

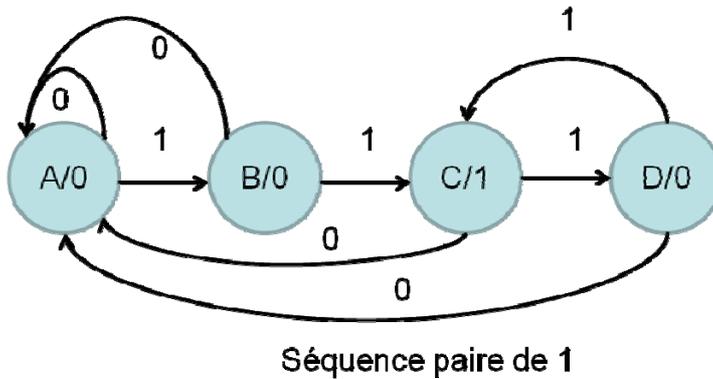
Q 6) Donner le diagramme des états de l'automate sous la forme

E	EP	EF	S
0	00	00	0
0	01	00	0
0	10	00	1
0	11	00	0
1	00	01	0
1	01	10	0
1	10	11	1
1	11	10	0

E	EP	EF	S
0	A	A	0
0	B	A	0
0	C	A	1
0	D	A	0
1	A	B	0
1	B	C	0
1	C	D	1
1	D	C	0

On codera les états de l'automate A (00), B (01), C (10) et D (11)

**Q 7) Donner le diagramme de transition de l'automate. Quelles séquences de l'entrée E reconnaît l'automate ?**



#### Partie 4 : Programmation MIPS

**Q8) Donner l'instruction ou la suite des instructions MIPS permettant d'exécuter les pseudo-instructions MIPS suivantes**

```

B 16      // Branchement à l'adresse NCP+constante|00
          BEQ R0,R0, 16
MOVE R2,R1 // R2 ← R1
          ADD R2,R1,R0 ou ADDI R2, R1, 0
NEGU R2,R1 ...// R2 ← -R1
          SUB R2, R0, R1
NOT R2,R1 .....// R2 ← complément à 1 de R1
          NOR R2, R1, R0
BEQZ R1, 32 // si R1 = 0, branchement à NCP+32|00
          BEQ R1,R0, 32
LI R1, 0x1238765 // constante de 32 bits dans Rd ?
          LUI R1, 0x0123
          ORI R1, R1, 0x8765
  
```

**Q 9) Que fait le programme suivant ? (Que contient R2 en fin d'exécution)**

```

          ADDI R2,R0,32
          BEQ R1, R0, FIN
          ADDI R2,R0,0
Boucle :  BLTZ R1, FIN
          ADDI R2,R2,1
          SLL R1,R1,1
          BNE R1,R0,Boucle
  
```

FIN:

R2 contient le nombre de zéros à gauche avant le premier 1 du registre R1

- R1 = 0x0000 0000      R2 = 32
- R1 = 0x8000 0000      R2 = 0
- R1 = 0x1234 5678      R2=3
- R1 = 0x0000 8765      R2 = 16

### Partie 5 : Microarchitecture et temps d'exécution d'instructions

Les instructions s'exécutent sur le processeur non pipeliné dont le chemin de données est présenté en Figure 5.

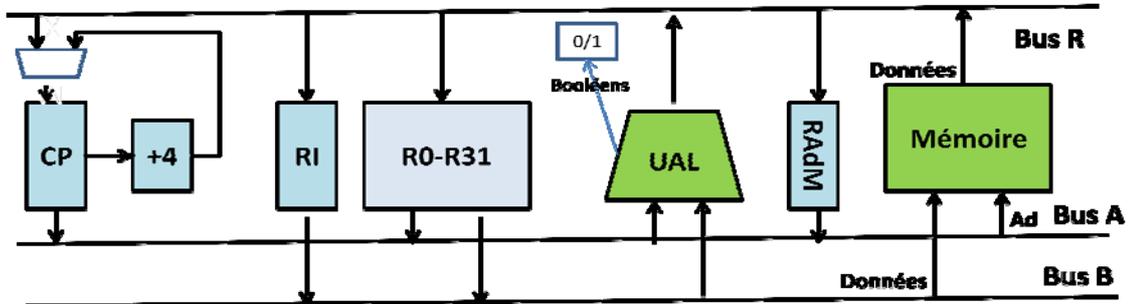


Figure 5 : Chemin de données non pipeliné

On rappelle les opérations élémentaires sous forme de transfert de registre

- $RI \leftarrow Mem (CP)$
- $CP \leftarrow CP+4$
- $Rt \leftarrow Mem (Rs) \text{ ou } Mem (Rs) \leftarrow Rt$
- $Rd \leftarrow Rs \text{ opération } UAL \text{ } Rt$
- $Rt \leftarrow Rs \text{ opération } UAL \text{ } ES, RI_{15-0}$

Par exemple, l'instruction ADD Rd, Rs, Rt s'exécute avec les opérations élémentaires suivantes en deux cycles :

1.  $RI \leftarrow Mem (CP)$  et  $CP \leftarrow CP+4$
2.  $Rd \leftarrow Rs + Rt$

**Q 10) Donner la suite des opérations élémentaires pour exécuter les instructions suivantes comme des instructions MIPS (et non des pseudo-instructions). Quel est le nombre de cycles pour exécuter chacune des instructions**

- MOVE R2,R1 //  $R2 \leftarrow R1$
- NEGU R2, R1.....//  $R2 \leftarrow -R1$

MOVE

1.  $RI \leftarrow Mem (CP)$  et  $CP \leftarrow CP+4$
2.  $R2 \leftarrow R0 + R1$

NEGU

1.  $RI \leftarrow Mem (CP)$  et  $CP \leftarrow CP+4$
2.  $R2 \leftarrow R0 - R1$

**Q 11) Donner la suite des opérations élémentaires pour exécuter l'instruction PUSH R1 et POP R1 définies ci-dessous. Quel est le nombre de cycles pour exécuter chacune de ces instructions ?**

PUSH R1

- ADDI R29,R29,-4
- SW R1, 0 (R29)

POP R1

LW R1,0(R29)  
ADDI R29,R29,4

PUSH R1

1.  $RI \leftarrow \text{Mem}(CP)$  et  $CP \leftarrow CP+4$
2.  $R29$  et  $RAdM \leftarrow R29 + (-4)$
3.  $\text{Mem}(R29) \leftarrow R1$

POP R1

1.  $RI \leftarrow \text{Mem}(CP)$  et  $CP \leftarrow CP+4$
2.  $R1 \leftarrow \text{Mem}(R29)$
3.  $R29 \leftarrow R29 + 4$