

CMOS et portes logiques

1 TECHNOLOGIE ET CIRCUITS CMOS

La technologie CMOS est devenue depuis les années 80 la technologie dominante pour les circuits intégrés. Elle utilise deux types de transistors : les transistors nMOS et les transistors pMOS. La modélisation sous forme d'interrupteurs est présentée dans la Figure 1.

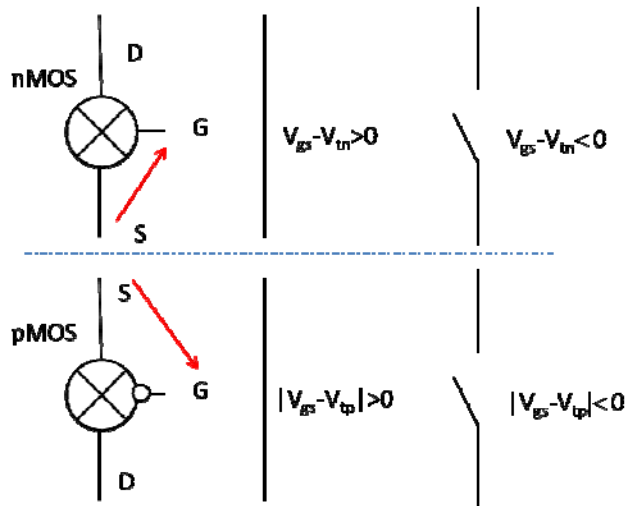


Figure 1: Modèles « interrupteurs » des transistors MOS

2 REALISATION DES PORTES LOGIQUES

2.1 L'inverseur CMOS statique

La logique CMOS utilise les deux types de transistors. La Figure 2 modélise le fonctionnement de l'inverseur CMOS. Les deux états logiques correspondent respectivement à l'état haut (tension la plus élevée V_{dd}) et l'état bas (tension la plus basse, soit $V_{ss} = 0$). Généralement, l'état haut correspond au 1 de l'algèbre de Boole et l'état bas au 0. L'état haut est obtenu en sortie lorsque l'interrupteur de type p est fermé et l'interrupteur de type n est ouvert. Ceci est obtenu, compte tenu du mode de fonctionnement des transistors n et p indiqué par la Figure 1, lorsque l'entrée est à l'état bas. L'état bas est obtenu en sortie lorsque l'interrupteur n est fermé et l'interrupteur p est ouvert (entrée à l'état haut). Les deux états haut et bas en sortie sont obtenus via un interrupteur fermé. Ils correspondent donc exactement aux deux tensions V_{dd} et $V_{ss} = 0V$ fournies par l'alimentation. On constate également qu'un seul interrupteur est fermé à la fois, ce qui signifie qu'il n'y a pas de courant circulant entre les deux bornes de l'alimentation. Dans son principe, la logique CMOS statique ne dissipe pas de puissance en statique, c'est-à-dire lorsque les signaux d'entrée ne varient pas. La Figure 3 donne le schéma électrique de l'inverseur CMOS.

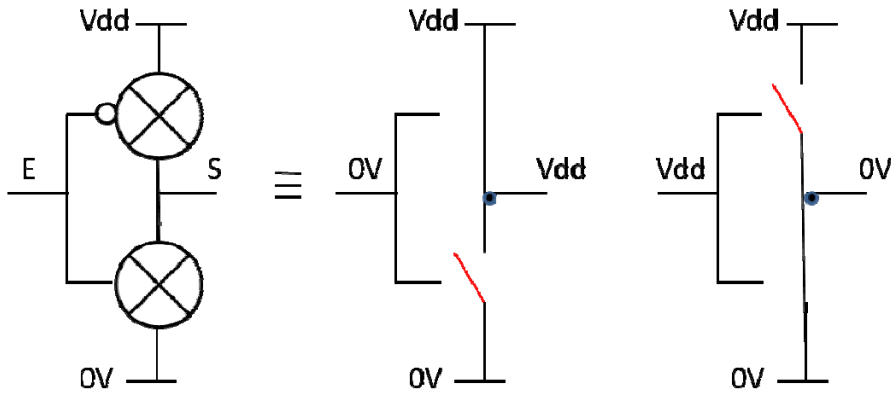


Figure 2: Modèle de l'inverseur CMOS

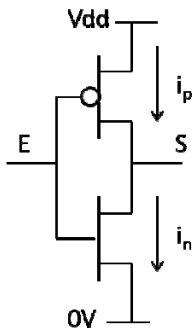


Figure 3 : Inverseur CMOS

2.2 Portes Nand et Nor

Le CMOS utilise à la fois des transistors nMOS et des transistors pMOS. La sortie basse est obtenue par connexion entre la sortie S et 0V via des chemins constitués d'interrupteurs n. La sortie haute est obtenue par connexion entre S et V_{dd} via des chemins constitués d'interrupteurs p. La partie haute est "duale" de la partie basse. Elle est obtenue en remplaçant les transistors n en série par des transistors p en parallèle, et réciproquement. Plus généralement, les mises en série de transistors sont remplacées par des mises en parallèle, et réciproquement.

La Figure 4 donne les schémas électriques des opérateurs Nor et Nand à deux entrées. La mise en série et en parallèle de transistors permet de réaliser des portes complexes. L'état bas en sortie est obtenu par un réseau série/parallèle de transistors nMOS entre la sortie et V_{ss}=0V. L'état haut en sortie est obtenu par un réseau dual de transistors pMOS entre la sortie et V_{dd}.

2.3 Portes complexes

La technique de réalisation des fonctions Nor ou Nand peut être utilisée pour la réalisation de fonctions plus complexes. La sortie est basse s'il existe un chemin entre la sortie et la partie basse de l'alimentation, à travers des réseaux série ou parallèle de transistors nMOS. Il suffit donc, pour les configurations des entrées telles que S=0, de réaliser tous les chemins entre S et 0V.

Soit l'exemple 1 :

$$S = E_1 E_2 + E_3 E_4$$

- $S=0$ lorsque simultanément E_1 et E_2 d'une part ou E_3 et E_4 d'autre part sont à 1. La condition ET correspond à des transistors en série, la condition Ou à des transistors en série.
- L'état $S=1$ s'obtient en construisant le réseau de transistors pMOS dual du réseau NMOS

Soit l'exemple 2 :

$$S = \overline{(E_1 + E_2)(E_3 + E_4)}$$

- $S=0$ lorsque simultanément E_1 ou E_2 d'une part et E_3 ou E_4 d'autre part sont à 1.
- L'état $S=1$ s'obtient en construisant le réseau de transistors pMOS dual du réseau NMOS

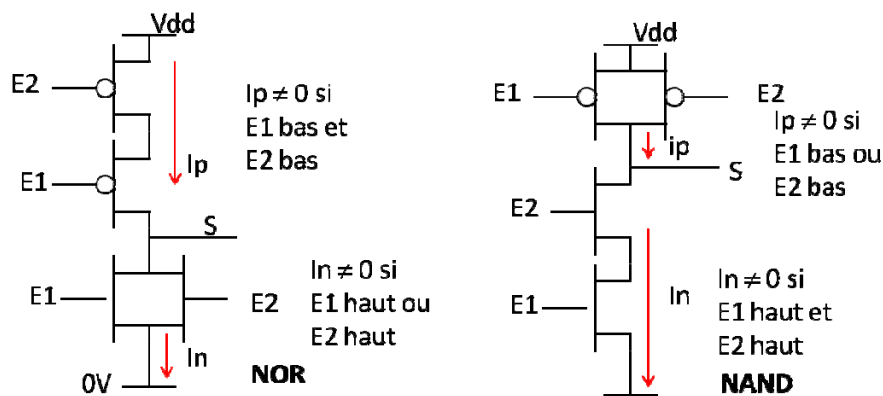
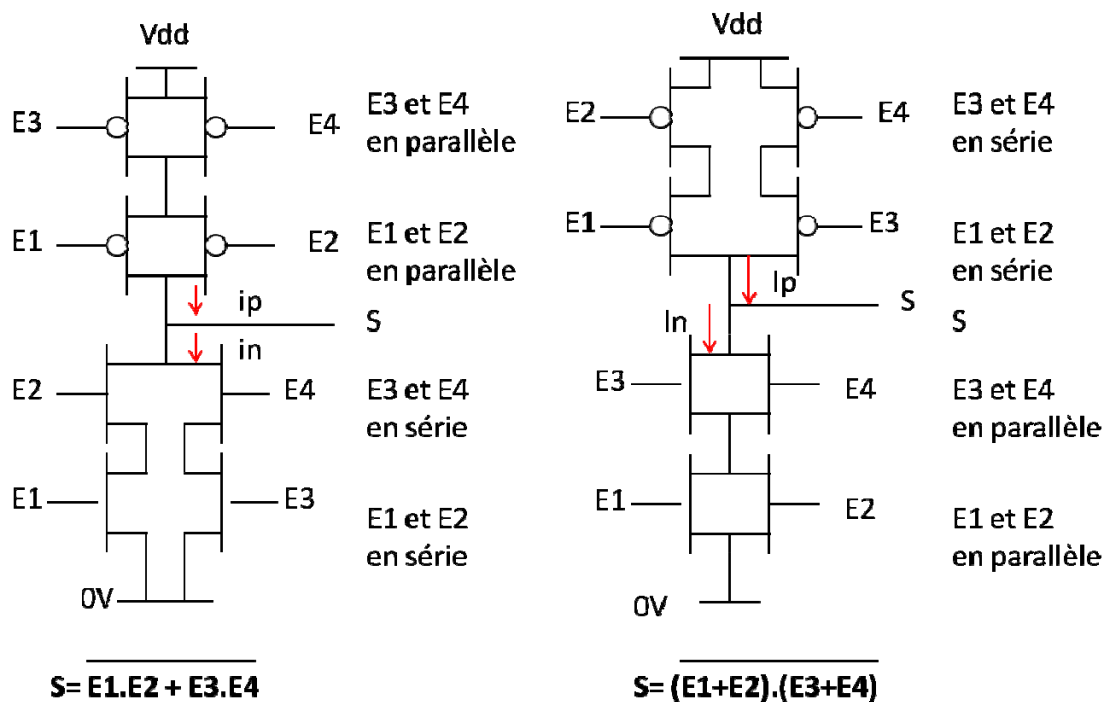


Figure 4 : NOR et NAND en CMOS statique

La Figure 5 donne les schémas électriques correspondant aux exemples 1 et 2.



$$S = E_1.E_2 + E_3.E_4$$

$$S = (E_1+E_2).(E_3+E_4)$$

Figure 5 : Exemples de portes complexes CMOS