

Mémoires RAM

1. LOGIQUE STATIQUE ET LOGIQUE DYNAMIQUE

Le point mémoire est l'élément de base, capable de mémoriser un bit. Il y a deux approches possibles.

L'approche *statique* est fondée sur la l'utilisation de portes logiques pour conserver un état possible parmi deux. Le bistable est l'élément fondamental. La mémorisation est permanente. Pratiquement, la seule contrainte est que les circuits électriques réalisant le bistable soient alimentés.

L'approche *dynamique* est fondée sur un principe de fonctionnement électrique, que l'on peut qualifier d'analogique par rapport au principe de la première approche, fondé sur la logique booléenne. Une certaine quantité de charges électriques est stockée dans un condensateur pour mémoriser un état donné, l'absence de charges correspondant à l'autre état. Comme le condensateur, par nature imparfait, ne peut conserver éternellement les charges stockées, la mémorisation d'un état n'est que temporaire. Il faut réécrire régulièrement la donnée mémorisée pour la conserver.

2. POINTS MÉMOIRE

2.1 Le point mémoire statique

Le point mémoire statique est fondé sur le bistable, dessiné de manière différente en Figure 1.

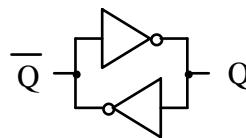


Figure 1 : Bistable redessiné

La lecture du bistable est immédiate : l'état du bistable est donné par la valeur de la sortie Q . Pour pouvoir positionner le bistable dans un état donné (écriture) ou transmettre à l'extérieur le contenu du bistable (lecture), on ajoute des interrupteurs permettant de relier les sorties du bistable à l'extérieur, comme le montre la Figure 2 dans le cas de la technologie CMOS. Lorsque les deux interrupteurs sont bloqués, le point mémoire est isolé du reste de la mémoire. En lecture, les deux "interrupteurs" rendus passant par la commande LM (Ligne de Mot) transmettent l'état Q (resp. \bar{Q}) vers les lignes de bit LB (resp. \bar{LB}). En écriture, l'état des lignes de bits LB et \bar{LB} est fixé. La fermeture des interrupteurs impose l'état des lignes de bit au bistable. Les "forces" respectives des transistors utilisés dans le bistable et pour commander les lignes de bits sont telles qu'électriquement, ce sont les transistors commandant les lignes de bit qui imposent leur état.

La complexité du point mémoire statique en technologie MOS est de six transistors (4 transistors pour les deux inverseurs + 2 interrupteurs).

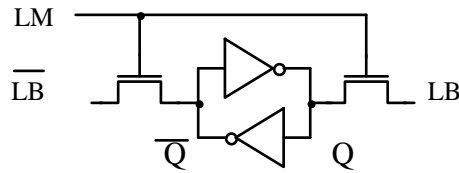


Figure 2 : Point mémoire MOS

2.2 Point mémoire dynamique

La mémorisation dynamique utilise la charge et la décharge d'un condensateur à travers une résistance (Figure 3).

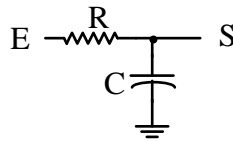


Figure 3 : Circuit RC

Nous rappelons qu'un circuit RC attaqué par un signal échelon unité d'amplitude $V u(t)$ à l'instant $t=0$ a une sortie qui correspond à l'équation $S = V (1 - e^{-\frac{t}{RC}})$ et qu'un circuit RC attaqué par le signal échelon unité complémentaire $V(1 - u(t))$ a une sortie qui est donnée par l'équation $S = V \cdot e^{-\frac{t}{RC}}$. Les résistances R correspondent en fait à la résistance équivalente d'un transistor MOS, lorsqu'il est passant (R_{on}) et lorsqu'il est bloqué (R_{off}). R_{on} est de l'ordre de quelques $k\Omega$, et R_{off} de plusieurs $M\Omega$, soit $R_{on} \ll R_{off}$.

La Figure 4 illustre la mémorisation dynamique d'un état 1 dans une capacité. Lorsqu'on veut mémoriser un état 1 (par exemple), on applique une tension V , via le transistor passant, sur la capacité C , qui se charge avec la constante de temps $R_{on} \cdot C$. Puis, on bloque le transistor. La capacité ne peut alors se décharger qu'à travers la résistance R_{off} (transistor bloqué). Si l'on mémorise l'état haut avec une amplitude V , la sortie reste supérieure à $V/2$ jusqu'au temps $t_{V/2}$ dont la valeur est

$$t_{V/2} = R_{off} \cdot C \ln 2 \approx 0,7 R_{off} \cdot C$$

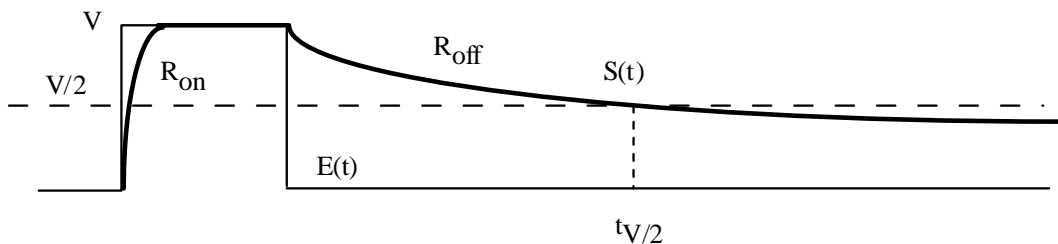


Figure 4 : Mémorisation dynamique

Le point mémoire dynamique est constitué d'une capacité et d'un transistor, ce qui donne une surface équivalente à celle de 1,5 transistors MOS.

3. MÉMOIRES RAM

Les mémoires à accès aléatoire (RAM) permettent d'accéder à n'importe quel mot mémoire dans un temps constant. Une mémoire RAM est fonctionnellement définie par une

adresse sur n bits, permettant d'accéder 2^n mots, et le nombre de bits p de chaque mot. Elle est constituée à partir de boîtiers mémoire de capacité plus petite. Au niveau d'un boîtier, le mot mémoire a 1 bit, 4 bits, 8 bits, ... L'organisation mémoire la plus courante utilise des mots de 1 bit.

Pour diminuer la complexité du décodage, celui-ci est matriciel : chaque point mémoire est situé à l'intersection d'une ligne et d'une colonne. L'adresse mémoire est divisée en deux parties : l'adresse ligne donne le numéro de la ligne considérée et l'adresse colonne donne le numéro de colonne.

Dans le cas d'une mémoire à mots de p bits, le plan mémoire correspondant à la mémoire à mot de 1 bit est dupliqué p fois.

3.1 Mémoires statiques

La Figure 5 donne le schéma simplifié d'une mémoire 16 mots de 1 bit. Il y a 4 bits d'adresse, soit 2 bits pour sélectionner une ligne parmi 4, et 2 bits pour sélectionner une colonne parmi 4. Le décodeur ligne active une ligne de mots parmi les 4. En lecture, tous les bits correspondant à la ligne de mots sélectionnée sont lus, et les bits correspondant descendent le long des colonnes. Il n'y a qu'un seul des 4 interrupteurs commandant les colonnes qui est activé par le décodeur colonne, ce qui fait qu'un seul bit est transmis aux lignes \overline{LB}/LB reliées à l'organe de lecture écriture. En écriture, l'état des lignes \overline{LB}/LB est forcé par l'organe de lecture écriture et, sous l'action des décodeurs ligne et colonne, un seul point mémoire a ses sorties reliées aux lignes \overline{LB}/LB .

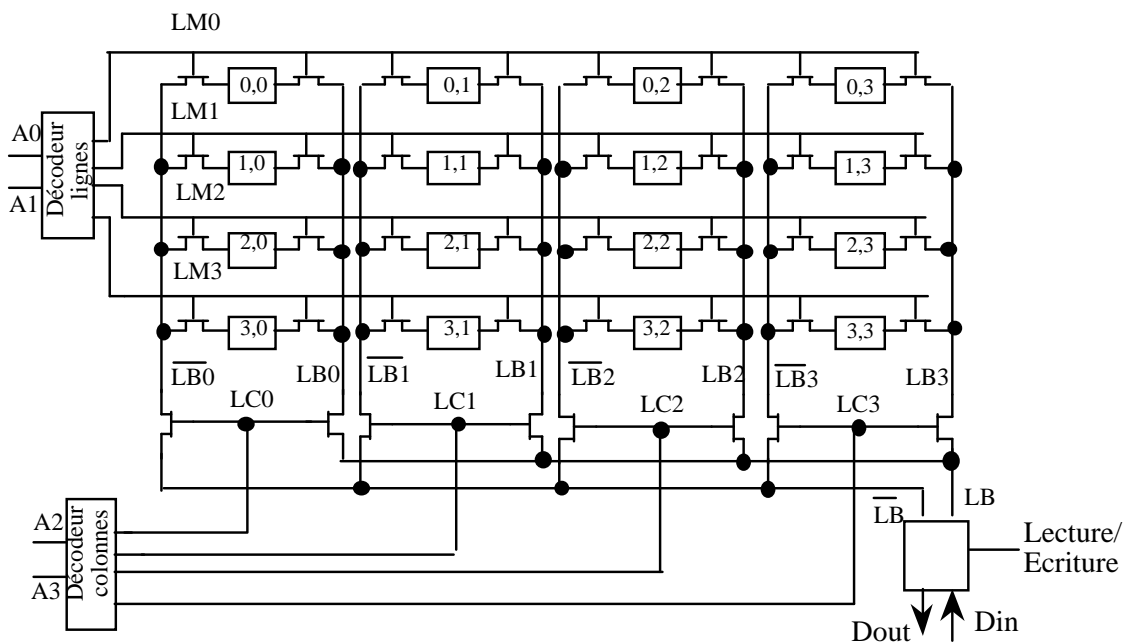


Figure 5 : Schéma de principe d'une RAM statique de 16 mots de 1 bit.

Il faut souligner qu'avec les points mémoire statique, la lecture n'est pas destructive. Le temps d'accès, caractérisé pour une opération lecture par le temps entre le moment où les adresses sont fixes et le moment où la donnée correspondante est disponible, n'est pas fondamentalement différent du temps de cycle, qui est le temps entre deux opérations lecture successives.

3.2 Mémoires dynamiques

Les mémoires dynamiques utilisent des points mémoire constitués d'une capacité et d'un transistor. Elles utilisent également un décodage matriciel avec lignes et colonnes.

La Figure 6 présente le schéma de principe d'une mémoire dynamique, avec une colonne de 64 cellules de 1 bit.

Un bit est mémorisé dans une capacité, sous forme d'une charge électrique Q présente ou non. La lecture consiste à savoir si une capacité contient ou non une charge électrique Q , ce qui ne peut se faire qu'en reliant la capacité au fil vertical connectée à l'amplificateur de lecture. Le problème est que la capacité C_{fij} associée au fil est très supérieure à la capacité du point mémoire, ce qui revient à mélanger Q à une charge électrique Q_{fij} beaucoup plus grande. Sans entrer dans les détails du fonctionnement électrique, le problème précédent est résolu en utilisant une lecture différentielle. La charge électrique des points mémoire 0 à 31, sélectionnés par la ligne correspondante, est comparée avec la cellule de référence située de l'autre côté de l'amplificateur de lecture. La cellule de référence a généralement une capacité $C/2$. On est donc ramené à la comparaison entre $Q + Q_{fij}$ ou Q_{fij} selon la charge dans le point mémoire lu, et $Q/2 + Q_{fij}$ de l'autre côté de l'amplificateur de lecture. Le principe de lecture est symétrique pour les points mémoire 32 à 63. L'amplificateur de lecture détecte la faible différence de potentiel associée la différence de charges, et l'amplifie le plus rapidement possible pour délivrer des états logiques 0/1 ou 1/0 sur les deux fils complémentaires du bus de données lecture/écriture.

Ce principe de fonctionnement décrit très schématiquement permet de souligner une caractéristique très importante des mémoires dynamiques. La lecture se fait par décharge de la capacité du point mémoire lorsque celle-ci est chargée. La lecture est donc destructive, et toute lecture doit être suivie d'une réécriture. Alors que les mémoires statiques ont des lectures non destructives qui donnent des temps d'accès identiques aux temps de cycle, les mémoires dynamiques ont des temps de cycle égaux au moins au double du temps d'accès. Il y a également nécessité de rafraîchir périodiquement, au plus tard toutes les 2 ms, les points mémoire par une lecture suivie d'une réécriture.

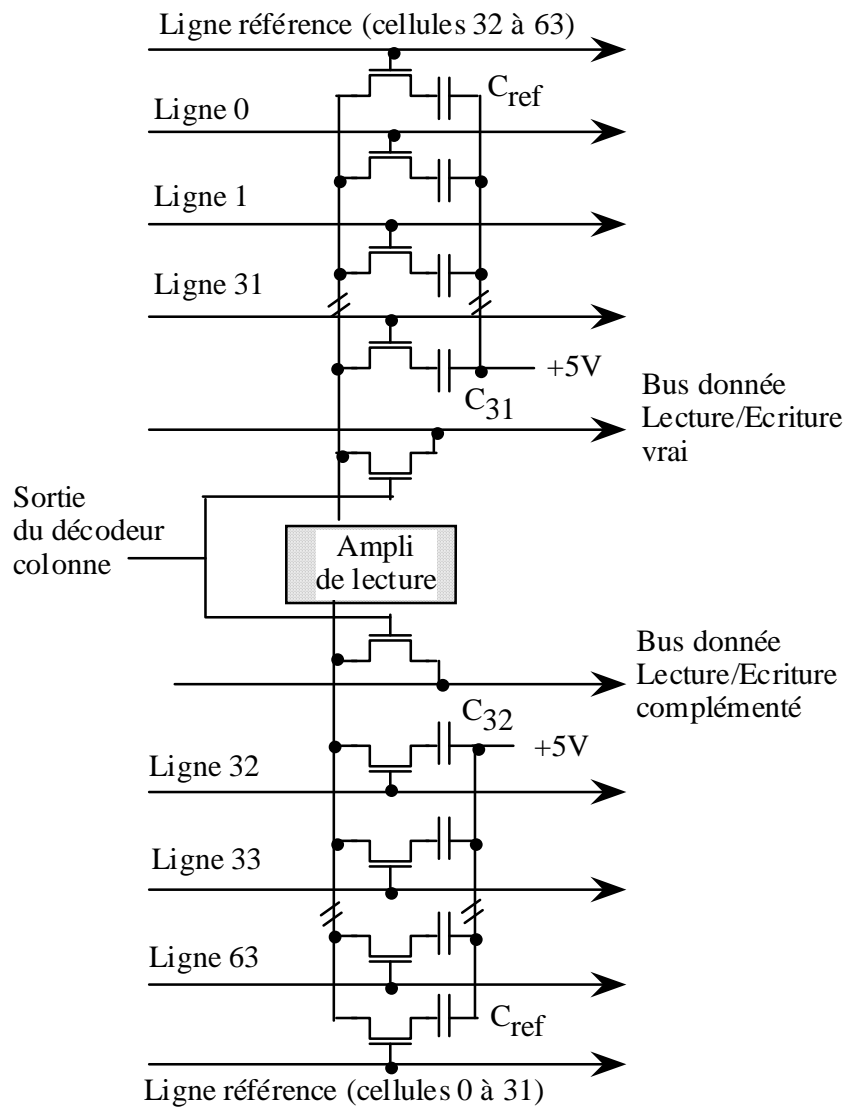


Figure 6 : Schéma de principe d'une RAM dynamique