

TD 9 – Contrôle de l'exécution des instructions

Dans ce TD, on utilise le jeu d'instruction NIOS II (processeur « logiciel » pour FPGA Altera).

Version 1 : structure 3 bus

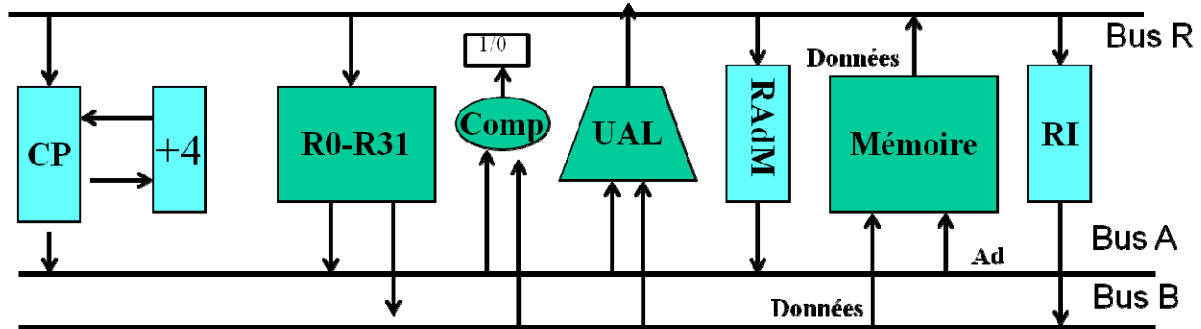


Figure 1 : Chemin de données (version 1).

Pour le chemin de données de la Figure 1, on veut réaliser le contrôle de l'exécution d'un certain nombre d'instructions du processeur NIOS.

- Add rk, ri, rj
- Or rk,ri,rj
- Ldw rk, (ri + IMM16)
- Blt ri,rj,IMM16
- Jmp ri
- Callr ri

Q 1) Définir l'ensemble des commandes pour contrôler l'exécution des instructions

Q 2) Remplir la table donnant les actions à exécuter à chaque cycle d'horloge pour exécuter les instructions.

INST	OP	OPX	Barrière BUS	MEM	UAL	Comp	BUS R	Mux CP	Ecriture registre

Remarques

1. Pour les commandes TAR_i et TBR_j, les numéros de registres source 1 et 2 (contenus dans RI) servent d'adresse pour la « mémoire » de 32 registres et les barrières de bus contrôlent l'accès du contenu du registre sélectionné vers le bus
2. Pour les commandes WR_k, le numéro de registre destination sert d'adresse pour la mémoire de 32 registres et WR sert de commande d'écriture.

Q 3) Définir la partie Etat futur = fonction (Etat présent, Entrées) de l'automate de contrôle

Q 4) Donner les sorties de l'automate en fonction des entrées et de l'état présent.

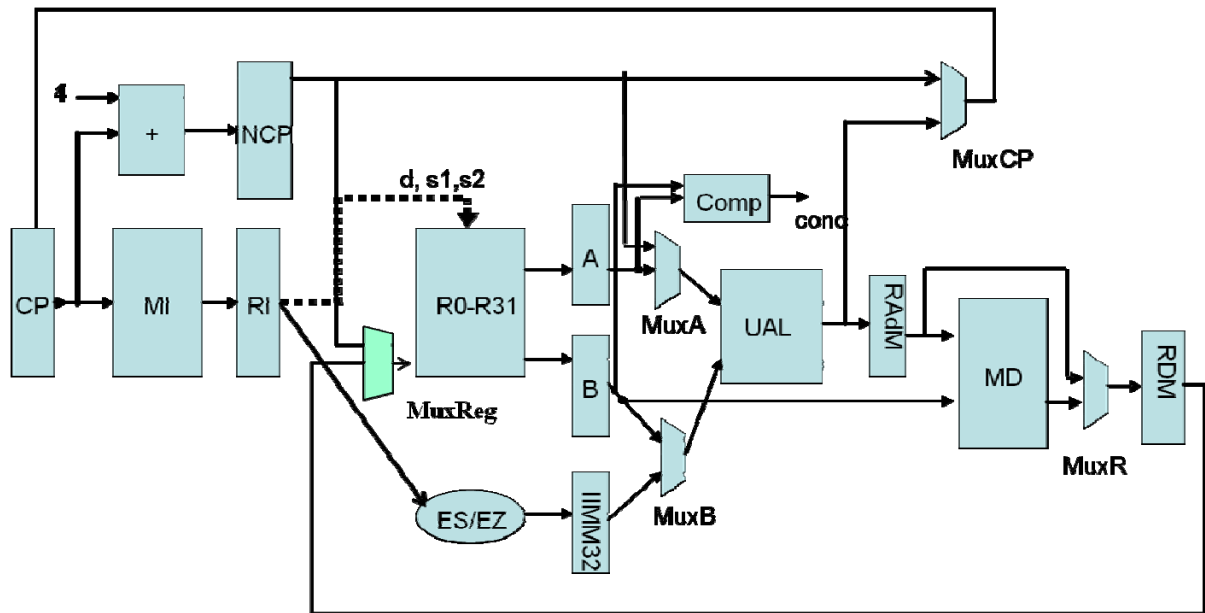
Version 2

Figure 2 : chemin de données (version 2)

Q 5) Quels sont les différentes étapes pour l'exécution des instructions suivantes

- Add rk, ri, rj
- Or rk,ri,rj
- Ldw rk, (ri + IMM16)
- Blt ri,rj,IMM16
- Jmp ri
- Callr ri

Q 6) Définir la partie Etat futur = fonction (Etat présent, Entrées) de l'automate de contrôle

Q 7) Définir l'ensemble des commandes pour contrôler l'exécution des instructions