

Licence Math-Info –S4 Corrigé Partiel CLM - Mars 2004

TOUS DOCUMENTS AUTORISES - CALCULETTES INTERDITES

Partie 1 : Représentation des nombres entiers en complément à 2

Q 1) Donner l'équivalent décimal des nombres binaires en complément à deux suivants :

- a. 11110001 -15
- b. 10000001 -127

Q 2) Exprimer les nombre décimaux suivants en représentation binaire en complément à deux sur 8 bits. Donner les résultats sous forme de deux chiffres hexadécimaux.

- a. 99 63H
- b. -15 F1H
- c. 128 impossible
- d. -128 80

Partie 2 : Nombres flottants 16 bits

Soit la représentation flottante 16 bits correspondant à la figure 1. L'interprétation est similaire à celle des flottants IEEE simple et double précision. S est le bit de signe. L'exposant est biaisé avec un excès 15. La valeur 0 est réservée pour la représentation de 0 (Partie fractionnaire nulle) et des nombres dénormalisés (Partie fractionnaire non nulle). La valeur 31 est réservée pour l'infini (partie fractionnaire nulle) et NaN (partie fractionnaire non nulle). Pour $0 < PE < 31$, un nombre N correspond à $(-1)^S \times (1, \text{fraction}) \times 2^{(PE-15)}$ où PE est la partie exposant

1 5 10

S	Partie exposant	Fraction
---	-----------------	----------

Figure 1 : flottants 16 bits

Q 3) Donnez les valeurs décimales pour les flottants 16 bits suivants

- A) 5E00_H 0101 1110 0000 0000 = $1,5 \times 2^8 = 384$
- B) 3C00_H 0011 1100 0000 0000 = $1 \times 2^0 = 1$

Q 4) Donnez les valeurs décimales

- du plus grand nombre normalisé positif représentable,
 $0111 1011 1111 1111 = (2-2^{-10}) \times 2^{15} = 2^{16} - 2^5 = 65\,504$
- du plus petit nombre normalisé positif représentable.
 $0000 0100 0000 0000 = 1 \times 2^{-14} = 2^{-14}$
- du plus petit nombre dénormalisé positif représentable
 $0000 0000 0000 0001 = 2^{-10} \times 2^{-14} = 2^{-24}$

Q 5) Donnez la représentation hexadécimale en flottants 16 bits des nombres

A) -48

$$-48 = -(48/32) * 32 = -(1+1/2) * 2^5 = 1 \ 10100 \ 1000000000 = D200_H$$

B) +200

$$200/128 * 128 = (1+1/2+1/16) * 2^7 = 0 \ 10110 \ 1001000000 = 5A40_H$$

Partie 3 : Expressions booléennes

Q 6) Donner l'expression logique simplifiée, sous forme somme de produits, pour les fonctions f0, f1, f2 et f3 de la table 1.

d correspond aux cas indifférents.

S'il existe pour une fonction plusieurs expressions minimales, donner toutes les expressions.

AVEC UTILISATION DU DIAGRAMME DE KARNAUGH

$$f_0 = \overline{a}\overline{b} + ab + a\overline{c}$$

ou

$$f_0 = \overline{a}\overline{b} + ab + \overline{b}\overline{c}$$

$$f_1 = \overline{a} + bc$$

$$f_2 = ab + \overline{ac}$$

$$\text{ou } f_3 = \overline{bc} + \overline{ac}$$

$$f_3 = \overline{bc} + \overline{bc}$$

a	b	c	f0	f1	f2	f3
0	0	0	1	1	d	0
0	0	1	1	1	1	1
0	1	0	0	1	0	1
0	1	1	0	1	1	d
1	0	0	1	0	d	d
1	0	1	0	0	0	d
1	1	0	1	0	1	1
1	1	1	1	1	1	0

Table 1

Partie 3 : Simplification de circuits

Soit le circuit figure 1

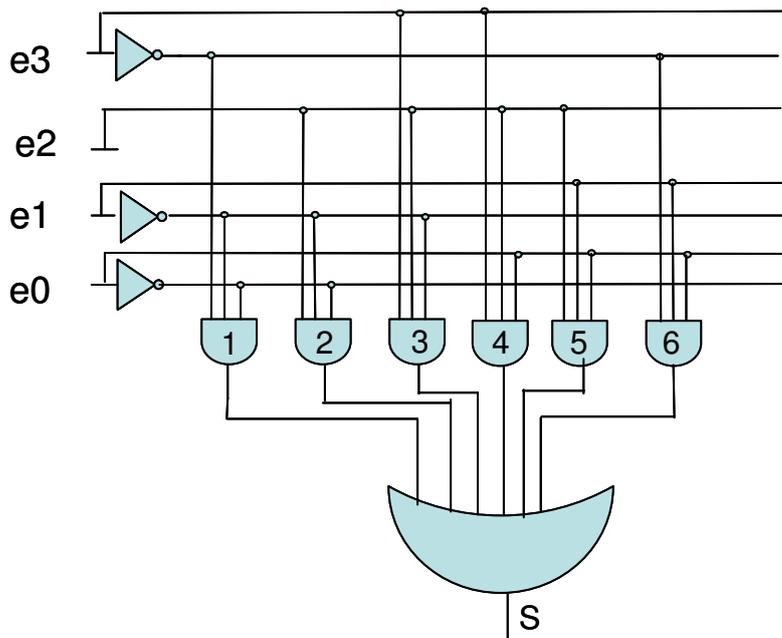
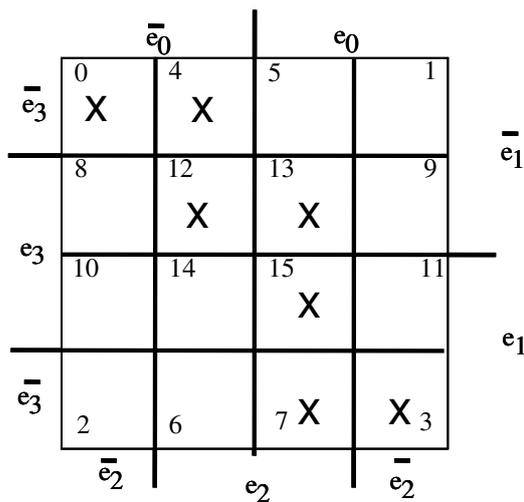


Figure 2 : circuit à simplifier

La fonction correspond au diagramme de Karnaugh ci-dessous



Q 7° Peut on supprimer certaines des portes ET en conservant la même fonction logique ? Quelle(s) porte(s) peut-on supprimer ?

Les portes correspondent aux regroupements suivants

P1 : (0,4)

P2 : (4-12)

P3 : (12-13)

P4 : (13-15)

P5 : (7-15)

P6 : (7-3)

Regroupements nécessaires

1) (0-4) et (12-13) et (7-15) et (3-7)

2) (0-4) et (4-12) et (13-15) et (3-7)

3) (0-4) et ((12-13) et (13-15) et (3-7)

On peut donc supprimer
Soit P2 et P3
Soit P3 et P5
Soit P2 et P5

Partie 4 : Réalisation d'un incrémenteur 4 bits

Soit le circuit Figure 3, constitué d'une porte XOR et d'une porte ET..

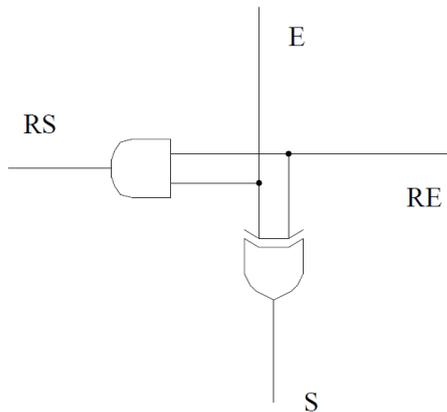


Figure 3 : demi-additionneur

On veut réaliser un incrémenteur 4 bits (Figure 4). Les nombres X (e3e2e1e0) et Y (s3s2s1s0) sont des entiers non signés, compris entre 0 et 15.

Lorsque inc = 0, on a Y=X.

Lorsque inc= 1, on a Y=X+1.

Deb = 1 lorsqu'il y a débordement, c'est-à-dire inc=1 et X=15.

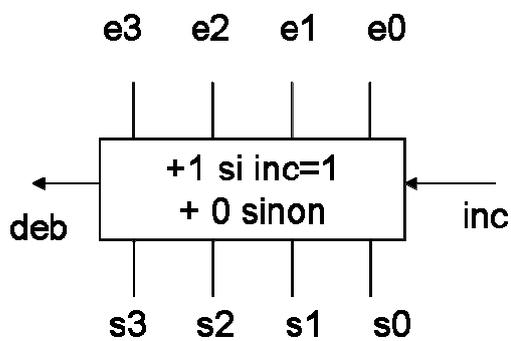
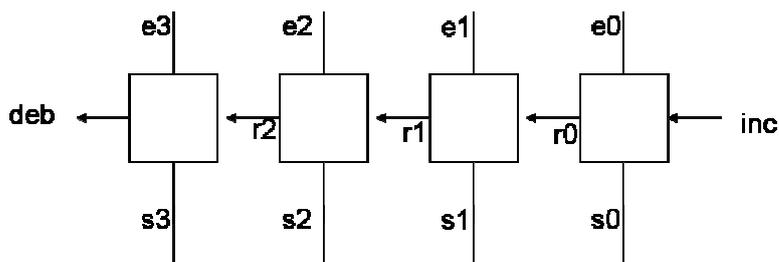


Figure 4 :Incrémenteur 4 bits

Q 8) Donner un schéma simple de réalisation de l'incrémenteur 4 bits avec des demi-additionneurs.



Le temps de propagation d'une porte ET est t_{pET} et celui d'une porte XOR est t_{pXOR} .

Q 9) Donner le temps de retard entre les entrées et la sortie S3 d'une part, entre les entrées et deb d'autre part, lorsque inc=1.

Retard entre entrée et sortie d'un demi-additionneur = 1 tpXOR

Retard entre entrée et retenue d'un demi-additionneur = 1 tpET

Pour l'incrémenteur 4 bits

- Entre entrées et deb : 4 tpET
- Entre entrées et s3 : $3 \text{ tpET} + 1 \text{ tpXOR}$