

Partiel S4 CLM – Mars 2012

TOUS DOCUMENTS AUTORISES - CALCULETTES AUTORISEES
DUREE : 2H

Partie 1 : Représentation des nombres entiers en complément à 2

Q 1) Donner l'équivalent décimal des nombres binaires sur 8 bits en complément à deux suivants :

- a. 11110001
- b. 10000001

Q 2) Exprimer les nombre décimaux suivants en représentation binaire en complément à deux sur 8 bits. Donner les résultats sous forme de deux chiffres hexadécimaux.

- a. 99
- b. -15
- c. 128
- d. -128

Partie 2 : Nombres flottants 16 bits

Soit la représentation flottante 16 bits correspondant à la figure 1. L'interprétation est similaire à celle des flottants IEEE simple et double précision. S est le bit de signe. L'exposant est biaisé avec un excès 15. La valeur 0 est réservée pour la représentation de 0 (Partie fractionnaire nulle) et des nombres dénormalisés (Partie fractionnaire non nulle). La valeur 31 est réservée pour l'infini (partie fractionnaire nulle) et NaN (partie fractionnaire non nulle).

Pour $0 < PE < 31$, un nombre N correspond à $(-1)^S \times (1, \text{fraction}) \times 2^{(PE-15)}$ où PE est la partie exposant

1 5 10

S	Partie exposant	Fraction
---	--------------------	----------

Figure 1 : flottants 16 bits

Q 3) Donnez les valeurs décimales pour les flottants 16 bits suivants

- a) 5E00_H
- b) 3C00_H

Q 4) Donnez les valeurs décimales

- du plus grand nombre normalisé positif représentable,
- du plus petit nombre normalisé positif représentable.
- du plus petit nombre dénormalisé positif représentable

Q 5) Donnez la représentation hexadécimale en flottants 16 bits des nombres

- a) -48
- b) +200

Partie 3 : Expressions booléennes

Q 6) Donner l'expression logique simplifiée, sous forme somme de produits, pour les fonctions f0, f1, f2 et f3 de la table 1.

d correspond aux cas indifférents.

S'il existe pour une fonction plusieurs expressions minimales, donner toutes les expressions.

a	b	c	f0	f1	f2	f3
0	0	0	1	1	d	0
0	0	1	1	1	1	1
0	1	0	0	1	0	1
0	1	1	0	1	1	d
1	0	0	1	0	d	d
1	0	1	0	0	0	d
1	1	0	1	0	1	1
1	1	1	1	1	1	0

Table 1

Partie 4 : Simplification de circuits

Soit le circuit figure 1

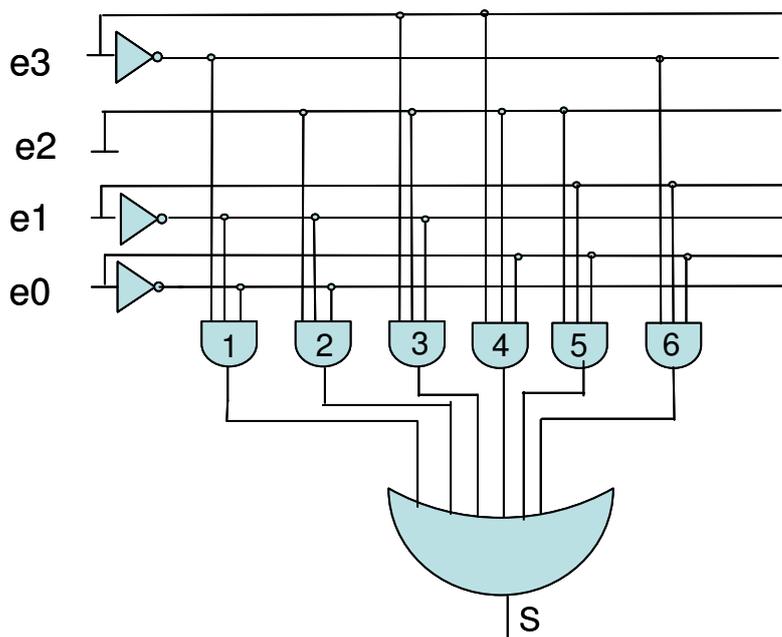


Figure 2 : circuit à simplifier

Q 7)° Peut on supprimer certaines des portes ET en conservant la même fonction logique ? Quelle(s) porte(s) peut-on supprimer ? (donner toutes les possibilités).

Partie 5 : Réalisation d'un incrémenteur 4 bits

Soit le circuit Figure 3 appelé demi-additionneur, constitué d'une porte XOR et d'une porte ET.

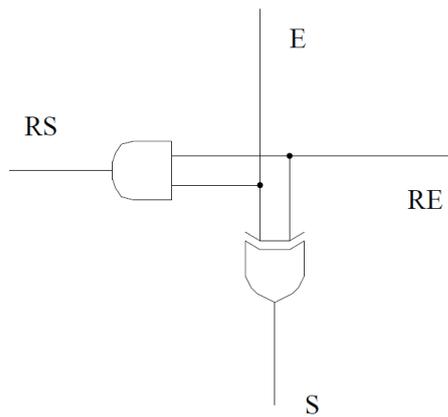


Figure 3 : demi-additionneur

On veut réaliser un incrémenteur 4 bits (Figure 4). Les nombres X ($e_3e_2e_1e_0$) et Y ($s_3s_2s_1s_0$) sont des entiers non signés, compris entre 0 et 15.

Lorsque $inc = 0$, on a $Y=X$.

Lorsque $inc= 1$, on a $Y=X+1$.

$Deb = 1$ lorsqu'il y a débordement, c'est-à-dire $inc=1$ et $X=15$.

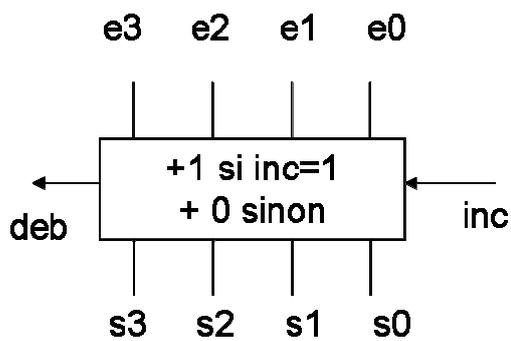


Figure 4 : Incrémenteur 4 bits

Q 8) Donner un schéma simple de réalisation de l'incrémenteur 4 bits avec des demi-additionneurs

Le temps de propagation d'une porte ET est tp_{ET} et celui d'une porte XOR est tp_{XOR} .

Q 9) Donner le temps de retard entre les entrées et la sortie S3 d'une part, entre les entrées et deb d'autre part, lorsque $inc=1$ en fonction de tp_{ET} et de tp_{XOR} .