

CORRIGE Examen Architecture des Ordinateurs – 5 Janvier 2017

Tous documents autorisés. Calculatrices interdites. Durée 2h

Pour toutes les questions, une explication **concise** est nécessaire pour que la réponse soit prise en compte.

1. Flottants [4 pts]

On considère uniquement le format IEEE754 simple précision.

Q1. Donner la valeur (représentation **décimale**) du nombre réel représenté par 0x41520000.

13,125

Q2. Coder -7,5 (représentation **hexadécimale**).

0xC0F00000

Q3. Quel est le résultat (représentation **mathématique**) de l'opération $2^5 + 2^{-25}$ effectuée dans un additionneur flottant IEEE754 simple précision ?

2^5 décalage de 30 bits

Q4. Parmi les nombres réels suivants, lesquels sont représentables exactement : 0,1 0,2 0,5 ?

0,1 et 0,2 : non, pas deucimaux ; 0,5 = 10×2^{-1} oui

2. Fonctions booléennes et circuits combinatoires [6 pts]

Q5. Soit la fonction booléenne F des variables X_3, X_2, X_1, X_0 définie par la table de vérité de la table 1.

a) Donner l'écriture de F sous forme disjonctive normale (somme de minterms) et sous forme conjonctive normale (produit de maxterms). On utilisera les notations m_i pour les minterms et M_i pour les maxterms.

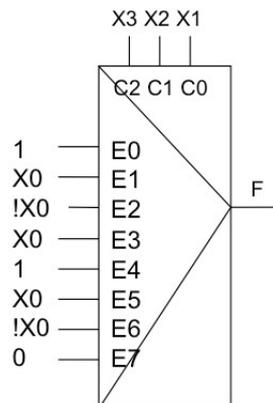
$$F = m_0 + m_1 + m_3 + m_4 + m_7 + m_8 + m_9 + m_{11} + m_{12}$$

$$F = M_2 \cdot M_5 \cdot M_6 \cdot M_{10} \cdot M_{13} \cdot M_{14} \cdot M_{15}$$

b) Donner une forme réduite de F ; justifier par un diagramme de Karnaugh.

$$F = !X_2 \cdot X_0 + !X_1 \cdot !X_0 + !X_3 \cdot X_1 \cdot X_0$$

c) Implanter la fonction logique F avec un multiplexeur 8 entrées 1 sortie (figure 1) et un inverseur.



Q6. Dans la figure 2, le circuit noté ADD est un additionneur 1 bit et le circuit noté MUX un multiplexeur 1 bit. On suppose que le temps de propagation d'une porte nand ou nor ou du multiplexeur est 1 (l'unité de temps n'est pas utile). Quel est le temps de propagation des entrées vers la sortie Q et des entrées vers la sortie R ?

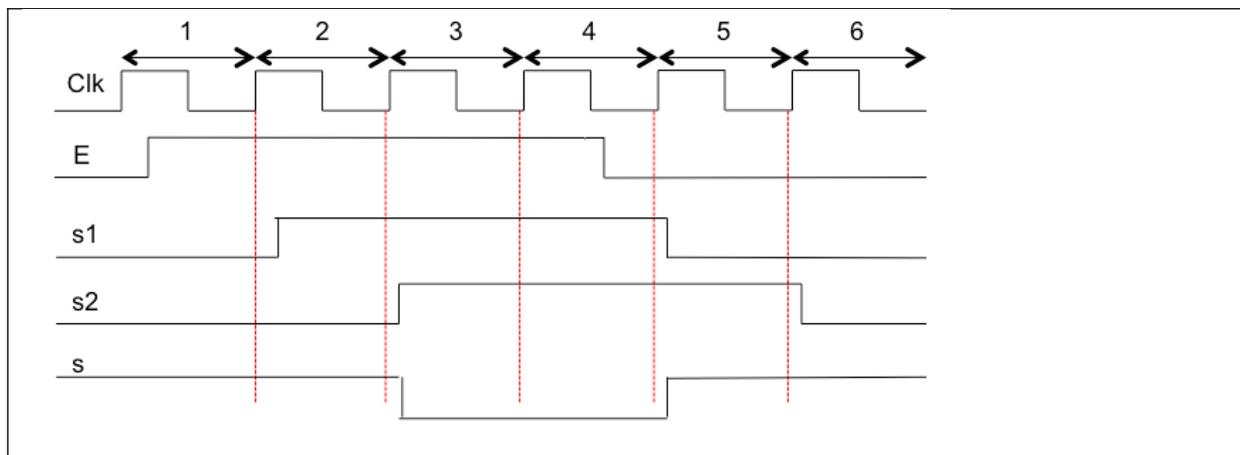
Le temps de propagation d'un additionneur vers la sortie Cout est 2, donc le temps de propagation vers Q est 4.

Le temps de propagation d'un additionneur vers la sortie r est 3, donc le temps de propagation vers l'entrée e1 du mux est 3 ; celui vers l'entrée c du mux est 4 ; donc le temps de propagation vers la sortie R est 5.

3. Bascules et Automates [5 pts]

Q7. On considère le circuit et le diagramme de temps de la figure 3. L'état initial est $S_1=S_2=0$. Donner l'état (0 ou 1) de S_1 , S_2 et S aux cycles 2, 3, 4 et 5.

Le diagramme de temps complété est le suivant :



Donc

	Cycle 2	Cycle 3	Cycle 4	Cycle 5
S_1	1	1	1	0
S_2	0	1	1	1
S	1	0	0	1

On peut aussi remarquer que les deux bascules forment un registre à décalage, ce qui justifie la table sans diagramme de temps.

Q8. On veut réaliser un automate qui possède une entrée INC. Lorsque l'entrée INC est à 1, l'automate est un compteur par 4 ; lorsque l'entrée INC est à 0, l'automate reste dans l'état courant. Donner le nombre de bascules D nécessaires et la table de transition de l'automate.

Compteur par 4 : deux bascules D. Table de transition :

Q1	Q0	INC	D1	D0
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	1	0
1	0	1	1	1
1	1	0	1	1
1	1	1	0	0

Q9. Quelle est la fonction du circuit de la figure 4 ?

La table de transition du circuit est :

Q1	Q0	D1	D0
0	0	0	1
0	1	1	0
1	0	1	1
1	1	0	0

C'est un compteur par 4

4. Microarchitecture [5 pts]

Q10. On considère la carte machine de la figure 5. Les réponses utiliseront le format de la table 2. Définir les commandes associées à l'exécution des instructions suivantes :

- Jump register : **JR Rd** qui effectue $PC \leftarrow Rd$
- Jump and Link Register : **JALR Rd, Rs** qui effectue $Rs \leftarrow PC$ et $PC \leftarrow Rd$

Inst	Cycle	Bus A	Bus B	Bus R	UAL	EXT	Comp	Mux1	MEM	WR
JR Rd		Rd	x	UAL	+0	d	d	0	x	PC
JAL Rd, Rs	1	PC	x	UAL	+0	d	d	x	x	BR
	2	Rd	x	UAL	+0	d	d	0	x	PC

Q11. On considère le fragment de carte machine de la figure 6. TA, TB, TR et TM sont des registres 32 bits. Quel est le nombre de cycles nécessaires pour l'exécution des instructions suivantes :

- ADD Rd, Rs, Rt
- LW Rd, Imm16(Rs)

ADD Rd Ra Rb : 3 cycles

TA \leftarrow Ra et TB \leftarrow Rb via bus A et bus B

TR \leftarrow TA + TB via UAL

BR \leftarrow TR via bus R

LW Rd, Imm(Rs) : 4 cycles

2 cycles pour calculer l'adresse dans TR

cycle 3 : accès mémoire, données dans TM

cycle 4 BR \leftarrow TM

Q12. On mesure qu'en moyenne 20% des instructions machines exécutées sont des instructions de chargement ou de rangement. On a le choix entre deux architectures matérielles :

- Architecture A : toutes les instructions consomment 3 cycles, et le temps de cycle T_c est égal à 1. L'unité de temps n'est pas précisée, car elle n'a pas d'influence sur la comparaison.
- Architecture B : toutes les instructions consomment 2 cycles, sauf les instructions de chargement et rangement qui en consomment 3, et $T_c = 1,2$.

Quelle est l'architecture la plus rapide en moyenne ?

Temps moyen d'exécution d'une instruction avec l'architecture A : 3

Temps moyen d'exécution d'une instruction avec l'architecture B : $1,2(3 \times 0,2 + 2 \times 0,8) = 2,64$

L'architecture B est donc la plus rapide.

X3	X2	X1	X0	F
0	0	0	0	1
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

Table 1

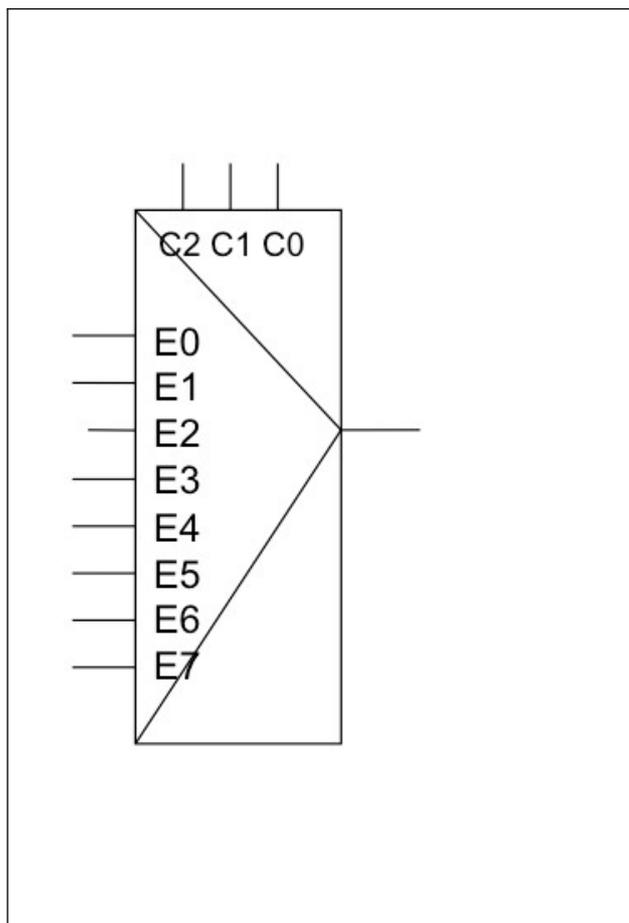


Figure 1

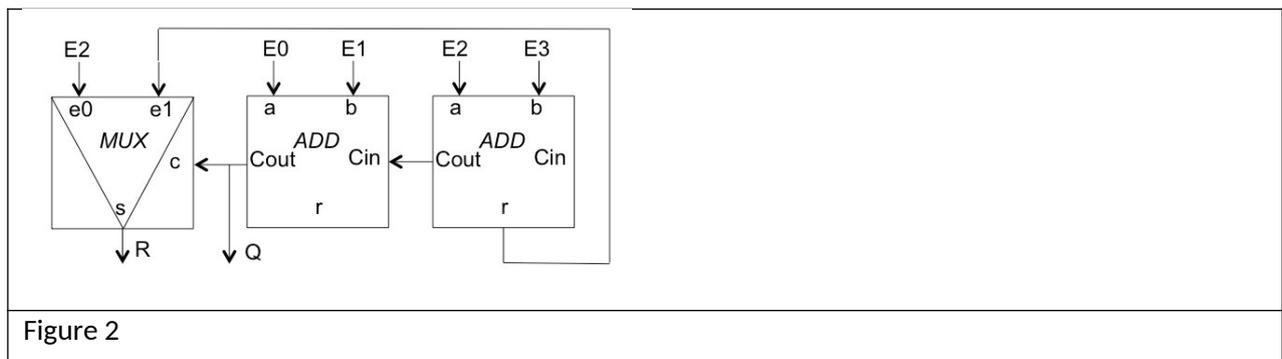


Figure 2

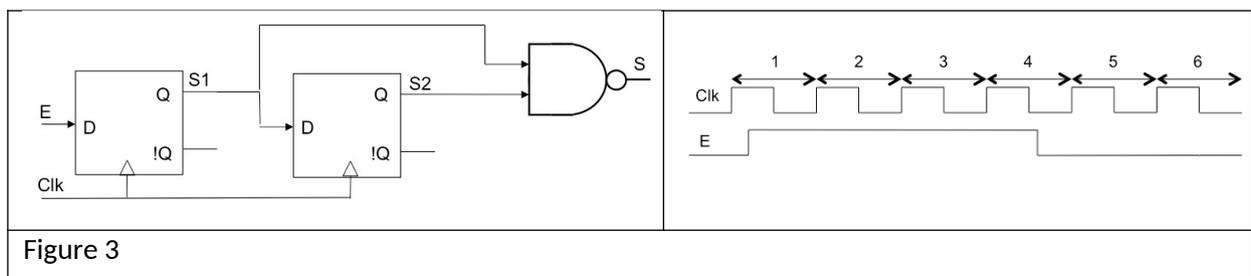


Figure 3

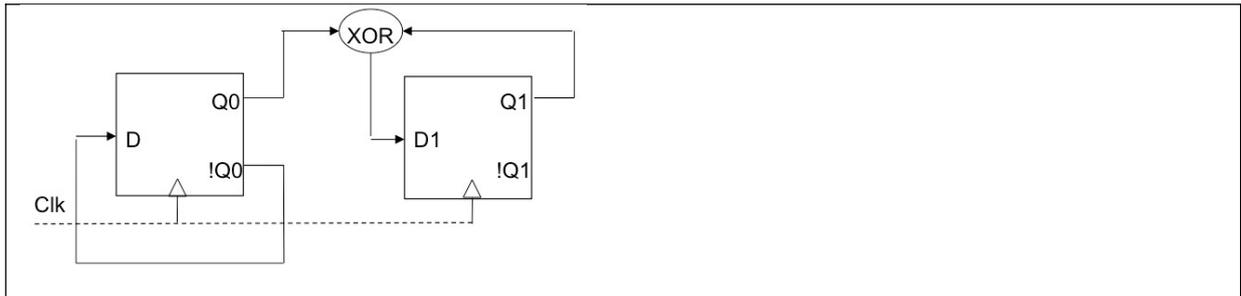


Figure 4

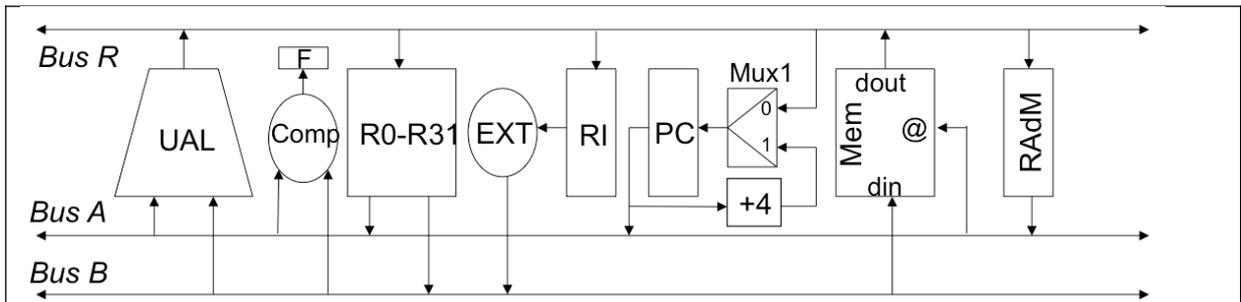


Figure 5

Inst	Cycle	Bus A	Bus B	Bus R	UAL	EXT	Comp	Mux1	MEM	WR

Table 2

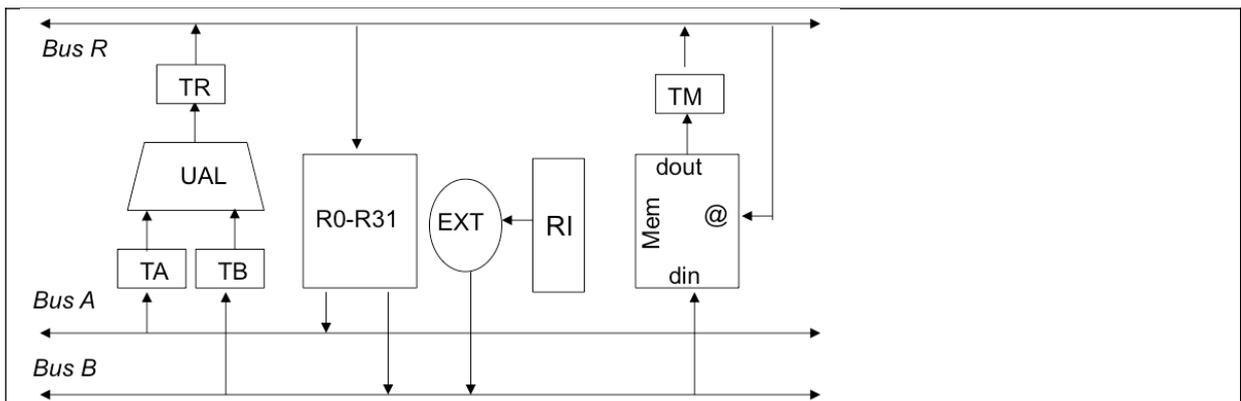


Figure 6