

Examen Architecture des Ordinateurs – 17 Décembre 2015

Tous documents autorisés. Calculatrices interdites. Durée 2h

Pour toutes les questions, une explication **concise** est nécessaire pour que la réponse soit prise en compte. La représentation demandée est impérative.

1. Flottants [5 pts]

Q1. Donner la valeur (représentation **décimale**) du nombre réel représenté par 0x40880000 en format IEEE754 simple précision.

Q2. Coder -5,75 (représentation **hexadécimale**) en format IEEE754 simple précision.

Q3. Donner la représentation hexadécimale du plus petit nombre strictement supérieur à 1 représentable en format IEEE754 simple précision.

Q4. Le résultat de l'opération $1,25 \times 2^{-126} - 1 \times 2^{-126}$ est-il représentable en format IEEE754 simple précision ? Une justification précise en deux lignes maximum est demandée.

Q5. Quel est le résultat (représentation mathématique) de l'opération $(2^{-10} + 2^{20}) - 2^{20}$ effectuée dans l'additionneur flottant IEEE754 **double** précision ?

2. Fonctions booléennes et circuits combinatoires [5 pts]

Soit la fonction booléenne F des variables X_3, X_2, X_1, X_0 définie par la table de vérité de la table 1.

Q6. Donner l'écriture de F sous forme disjonctive normale (somme de minterms) et sous forme conjonctive normale (produit de maxterms).

Q7. Donner une forme réduite de F ; justifier par un diagramme de Karnaugh.

Q8. Implanter la fonction logique F avec un multiplexeur 8 entrées 1 sortie et un inverseur en complétant la figure 1. Les entrées 0 et 1 sont également disponibles ; si une entrée du multiplexeur doit être connectée à 0 ou à 1, on notera un 0 ou un 1 sur cette entrée.

Q9. On veut implanter la fonction logique F avec un multiplexeur 4 entrées 1 sortie connecté suivant le schéma de la figure 2. Donner la table de vérité de C_1 et C_0 en fonction de X_3, X_2, X_1 . **Aucun** schéma n'est demandé.

3. Bascules et Automates [4 pts]

Q10. En négligeant les temps de retard entre entrée et sortie, donner le signal Q pour les entrées de la figure 3 dans le cas de la bascule D (opaque). Q est initialement à 1. Vous pouvez compléter la feuille d'énoncé, n'oubliez pas d'indiquer votre numéro de copie.

Q11. Réaliser un automate qui fonctionne comme un compteur par 6 ou par 8, selon une entrée E qui est à 1 en mode compteur par 6 et 0 en mode compteur par 8. On donnera le nombre de bascules D nécessaires, la table de transition (table de vérité des D_i en fonction des Q_i et de E) et un schéma de principe. L'expression réduite des fonctions de transition n'est **pas** demandée.

4. Microarchitecture [6 pts]

On considère la carte machine de la figure 4. Les réponses utiliseront le format de la table 2.

Q12. Définir les commandes associées à l'exécution de l'instruction SW Rd, Imm(Ra)

Q13. On veut étendre le jeu d'instruction MIPS avec les instructions

- Chargement pré-incrémenté

LWA Rd, Imm(Ra) qui effectue $Rd \leftarrow \text{Mem}[Ra+ES(\text{imm})]$ et $Ra \leftarrow Ra+ES(\text{imm})$

- Rangement post-incrémenté

SWP Rd, Imm(Ra) qui effectue $\text{Mem}[Ra] \leftarrow Rd$ et $Ra \leftarrow Ra+ES(\text{imm})$

Définir les commandes associées à l'exécution de ces instructions.

X3	X2	X1	X0	F
0	0	0	0	1
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0

Table 1

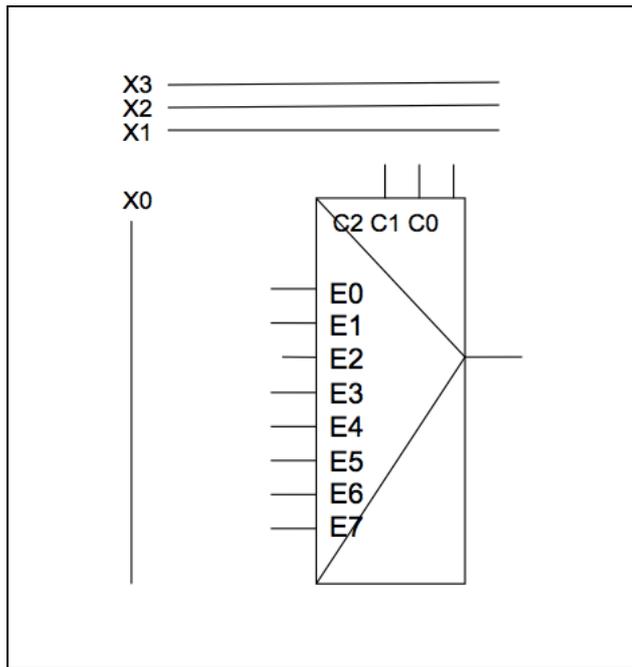


Figure 1

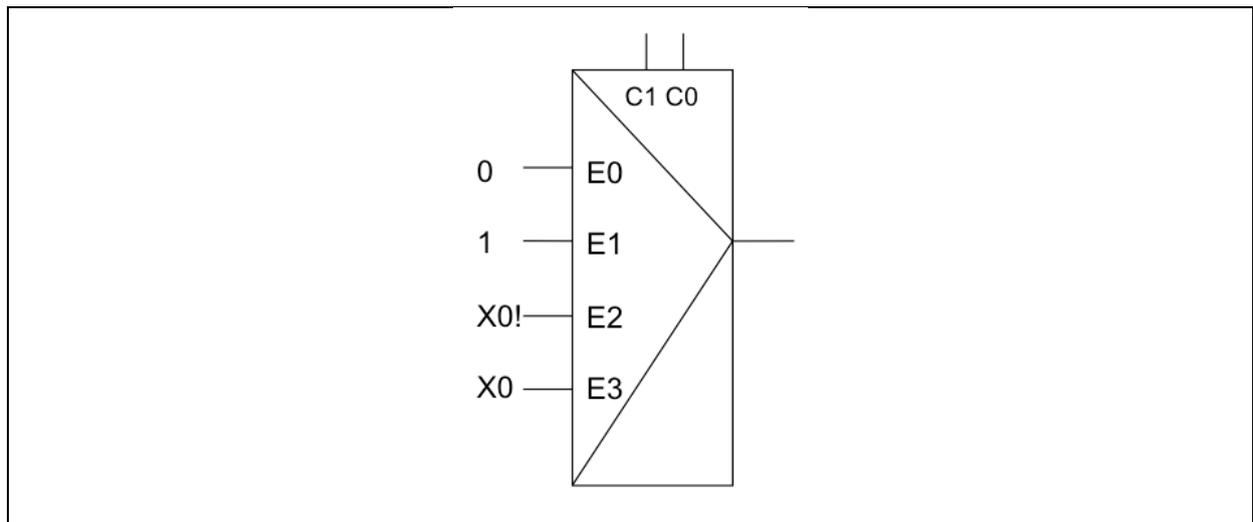


Figure 2

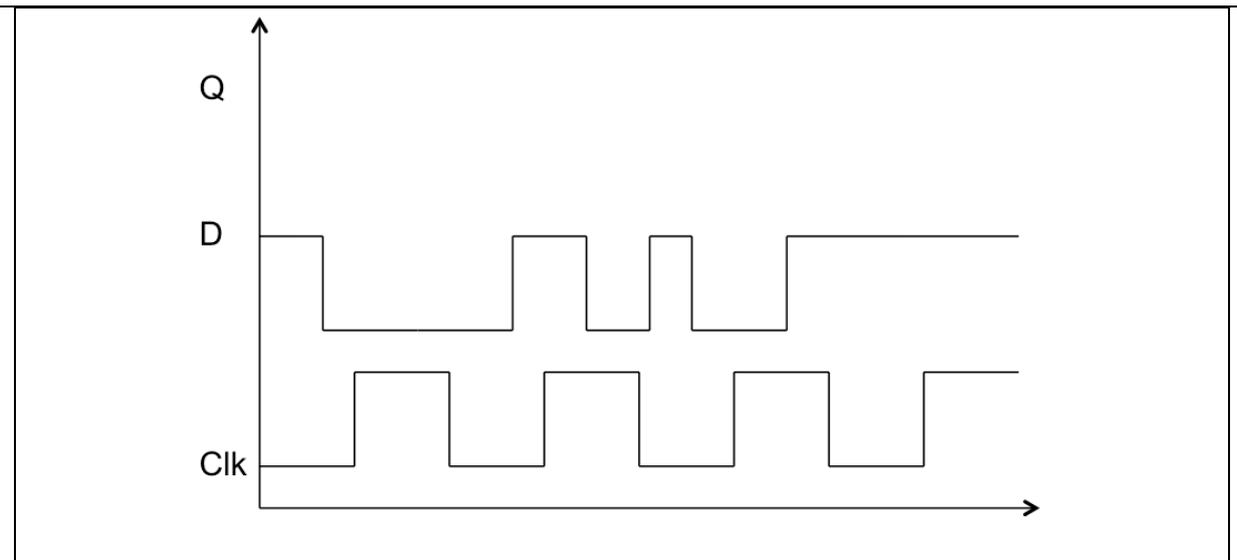


Figure 3

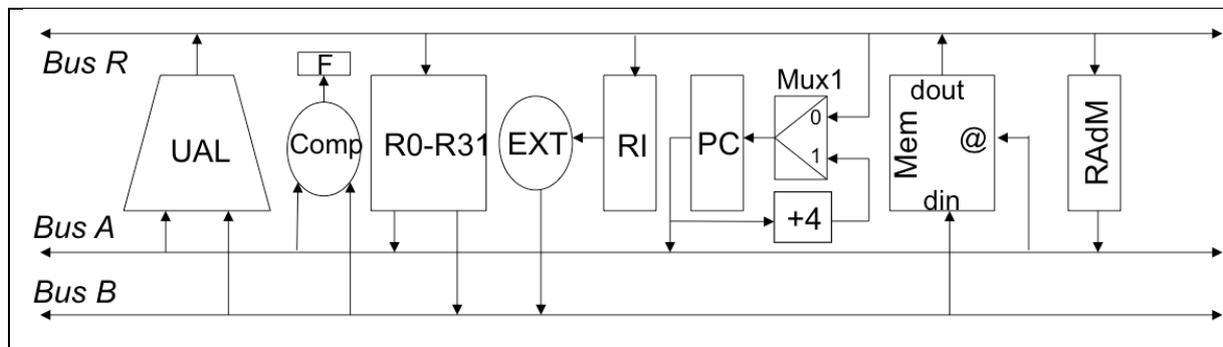


Figure 4

Inst	Cycle	Bus A	Bus B	Bus R	UAL	EXT	Comp	Mux1	MEM	WR

Table 2