

# Examen Architecture des Ordinateurs – 5 Janvier 2017

---

**Tous documents autorisés. Calculatrices interdites. Durée 2h**

**Pour toutes les questions, une explication concise est nécessaire pour que la réponse soit prise en compte.**

**Les questions sont indépendantes.**

## **1. Flottants [4 pts]**

On considère uniquement le format IEEE754 simple précision.

Q1. Donner la valeur (représentation **décimale**) du nombre réel représenté par 0x41520000.

Q2. Coder -7,5 (représentation **hexadécimale**).

Q3. Quel est le résultat (notation **scientifique**) de l'opération  $2^5 + 2^{-25}$  effectuée dans un additionneur flottant IEEE754 simple précision ?

Q4. Parmi les nombres réels suivants, lesquels sont représentables exactement : 0,1 0,2 0,5 ?

## **2. Fonctions booléennes et circuits combinatoires [6 pts]**

Q5. Soit la fonction booléenne F des variables  $X_3, X_2, X_1, X_0$  définie par la table de vérité de la table 1.

a) Donner l'écriture de F sous forme disjonctive normale (somme de minterms) et sous forme conjonctive normale (produit de maxterms). On utilisera les notations  $m_i$  pour les minterms et  $M_i$  pour les maxterms.

b) Donner une forme réduite de F ; justifier par un diagramme de Karnaugh.

c) Implanter la fonction logique F avec un multiplexeur 8 entrées 1 sortie (figure 1) et un inverseur.

Q6. Dans la figure 2, le circuit noté ADD est un additionneur 1 bit et le circuit noté MUX un multiplexeur 1 bit. On suppose que le temps de propagation d'une porte nand ou nor ou du multiplexeur est 1 (l'unité de temps n'est pas utile). Donner le temps de propagation :

- a) des entrées vers la sortie Q ;
- b) des entrées vers la sortie R.

## **3. Bascules et Automates [5 pts]**

Q7. On considère le circuit et le diagramme de temps de la figure 3. L'état initial est  $S_1=0$  et  $S_2=0$ . Donner l'état (0 ou 1) de  $S_1, S_2$  et S aux cycles 2, 3, 4 et 5, sur le modèle de la table :

	Cycle 2	Cycle 3	Cycle 4	Cycle 5
S1				
S2				
S				

Q8. On veut réaliser un automate qui possède une entrée 1 bit appelée INC. Lorsque l'entrée INC est à 1, l'automate est un compteur par 4 ; lorsque l'entrée INC est à 0, l'automate reste dans l'état courant. Donner le nombre de bascules D nécessaires et la table de transition de l'automate.

Q9. Quelle est la fonction du circuit de la figure 4 ?

#### 4. Microarchitecture [5 pts]

Q10. On considère la carte machine de la figure 5. L'UAL peut effectuer les opérations arithmétiques et logiques usuelles, et l'opération +0, qui transfère l'entrée  $a$  sur la sortie  $r$ . Les réponses utiliseront le format de la table 2 et ne nécessitent pas de justification supplémentaire. Définir les commandes associées à l'exécution des instructions suivantes :

- Jump register : **JR Rd** qui effectue  $PC \leftarrow Rd$
- Jump and Link Register : **JALR Rd, Rs** qui effectue  $Rs \leftarrow PC$  et  $PC \leftarrow Rd$

Q11. On considère le fragment de carte machine de la figure 6. TA, TB, TR et TM sont des registres 32 bits. Quel est le nombre de cycles nécessaires pour l'exécution des instructions suivantes :

- ADD Rd, Rs, Rt
- LW Rd, Imm16(Rs)

Q12. On mesure qu'en moyenne 20% des instructions machines exécutées sont des instructions de chargement ou de rangement. On a le choix entre deux architectures matérielles :

- Architecture A : toutes les instructions consomment 3 cycles, et le temps de cycle  $T_c$  est égal à 1. L'unité de temps n'est pas précisée, car elle n'a pas d'influence sur la comparaison.
- Architecture B : toutes les instructions consomment 2 cycles, sauf les instructions de chargement et rangement qui en consomment 3, et  $T_c = 1,2$ .

Quelle est l'architecture la plus rapide en moyenne ?

X3	X2	X1	X0	F
0	0	0	0	1
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

Table 1

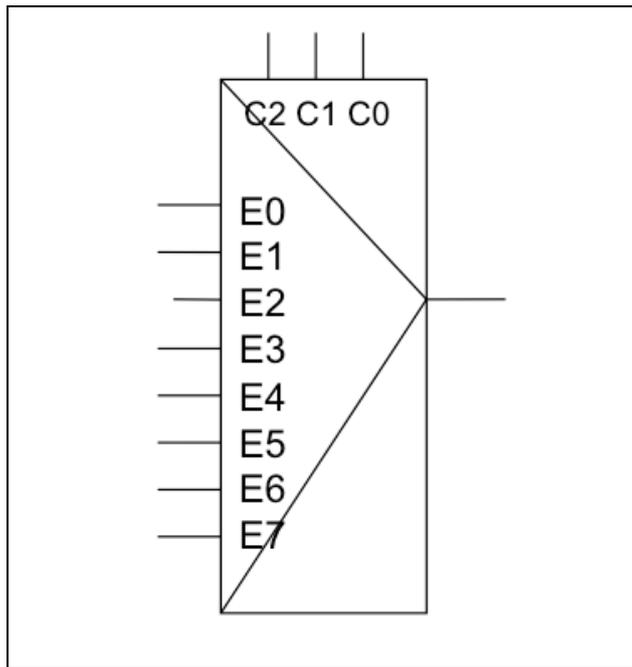


Figure 1

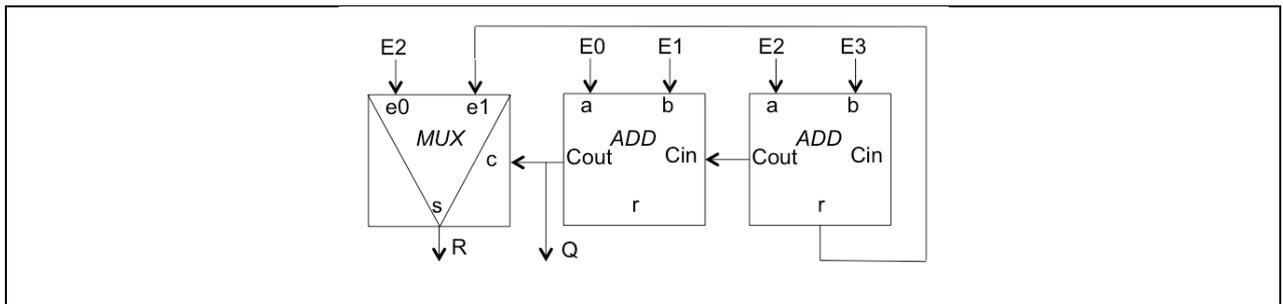


Figure 2

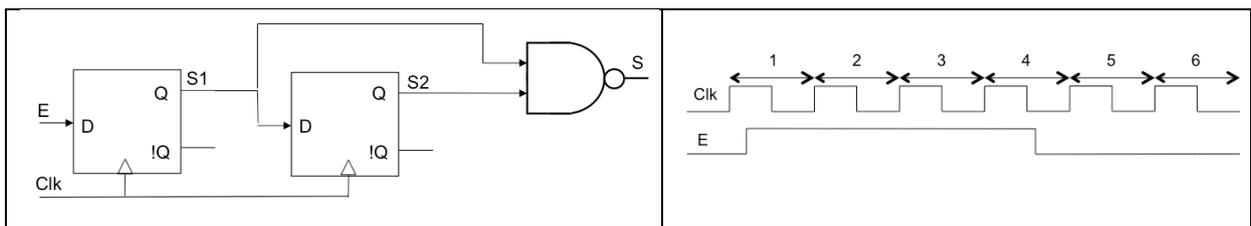


Figure 3

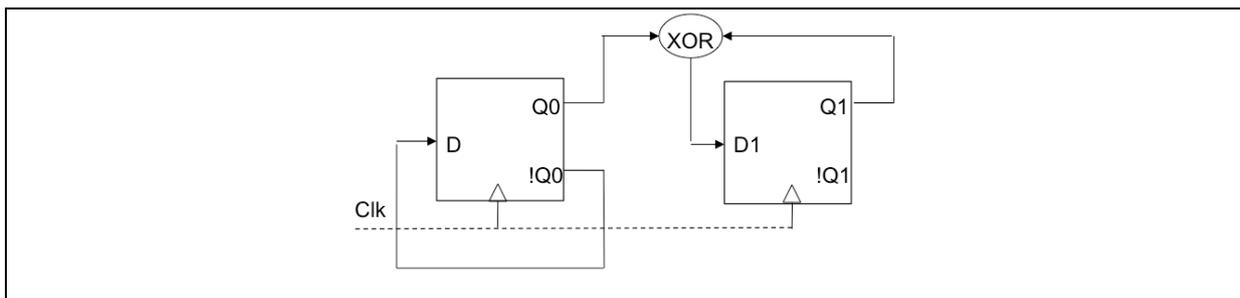


Figure 4

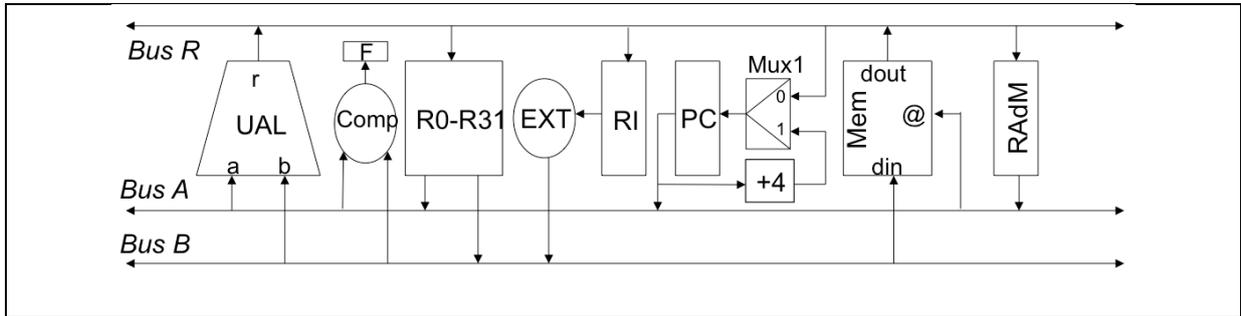


Figure 5

Inst	Cycle	Bus A	Bus B	Bus R	UAL	EXT	Comp	Mux1	MEM	WR

Table 2

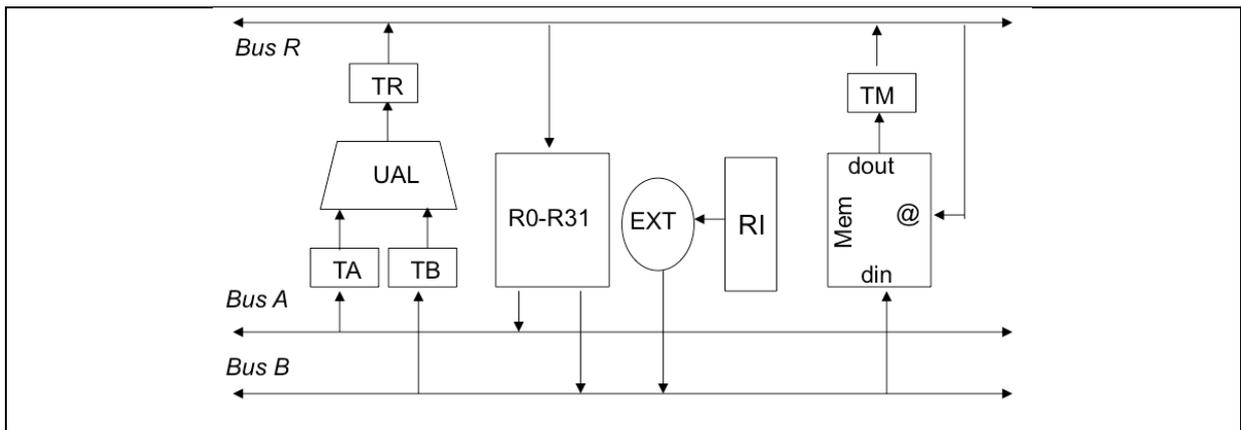


Figure 6