
Les processeurs traitement du signal (DSP)

Daniel Etiemble
de@lri.fr

Les classes de processeurs

- Généralistes – haute performance
 - Pentiums, PowerPC, SPARC
 - Logiciels d'usage général
 - OS important - UNIX, XP
 - Stations de travail, PC
- Processeurs embarqués et processeurs « cœurs »
 - ARM, 486SX, Hitachi SH7000, NEC V800
 - Un seul programme
 - OS léger, souvent temps réel
 - Support DSP
 - Téléphones portables, électronique grand public (Lecteurs de CD, etc.)
- Microcontrôleurs
 - Le coût est très importants
 - Mot de petite taille, le plus souvent 8 bits
 - De très loin le plus gros nombre de processeurs
 - Automobiles, thermostats, électro-ménager...

Coût croissant ↑

↓ Nombre croissant

Introduction aux DSP

- Traitement numérique du signal : application d'opérations mathématiques sur des signaux représentés sous forme numérique
- Représentation des signaux sous forme de séquences d'échantillons
- Les signaux numériques sont obtenus à partir de signaux physiques via des récepteurs (ex : microphones) et des convertisseurs analogiques-numériques (ADC)
- Les signaux numériques sont reconvertis en signaux physiques par des convertisseurs numériques-analogiques (DAC)
- Processeurs de traitement du signal (DSP) : système électronique qui traite des signaux numériques

Algorithmes et applications typiques

- Applications – Instrumentation et mesures
 - Communications
 - Traitement audio et vidéo
 - Graphique, traitement d'images, rendu 3- D
 - Navigation, radar, GPS
 - Contrôle - robotique, vision, guidage
- Algorithmes
 - Filtrage fréquentiel - FIR et IIR
 - Transformations temps en fréquence - FFT
 - Corrélation

Les tâches des DSP

- Caractéristiques communes:
 - Calculs numériques répétitifs
 - Précision numérique
 - Débit mémoire important, surtout par accès à des tableaux
 - Traitement temps réel
- Réalisation efficace en minimisant:
 - Coût
 - Puissance consommée
 - Utilisation mémoire
 - Temps de développement

Deux cultures différentes

- Le microprocesseur généraliste est le descendant de l'ENIAC (Eckert, Mauchly, Von Neumann)
- Les DSP sont des descendants des processeurs analogiques utilisant du matériel analogiques pour traiter des signaux physiques
 - Les processeurs analogiques ont été remplacés par des processeurs numériques
 - Avantages du numérique par rapport à l'analogique
- Des histoires différentes et des applications différentes ont conduit à des termes différents, des métriques différentes et certaines inventions nouvelles
- Des marchés en expansion conduisant à une « guerre » culturelle

Spécificités des DSP/processeurs généralistes

- Les DSP ont tendance à être utilisés pour un programme, pas pour de nombreux programmes
 - Les systèmes d'exploitation sont beaucoup plus simples
 - Pas de mémoire virtuelle, pas de protection
- Les DSP exécutent parfois des applications temps réel strict ...
 - On doit tenir compte de tout ce qui intervient dans un intervalle de temps donné
 - Toutes les interruptions ou exceptions possibles doivent être prises en compte dans l'intervalle de temps
 - Les exceptions sont « coûteuses »
- Les DSP ont un flot de données continu infini

Les applications « tueuses » des DSP

- En terme de volume financier, les marchés les plus importants des DSP aujourd'hui sont
 - Les téléphones portables
 - Les pageurs et autres systèmes sans fils
 - Les modems
 - Les contrôleurs de disque dur
- La plupart exigent de bonnes performances
- Toutes demandent un bas coût
- Beaucoup demandent une faible consommation d'énergie
- La tendance est vers de meilleurs supports pour ce type d'applications essentielles

La culture DSP

- La culture DSP a des représentations graphiques pour représenter les formules
 - « flowchart » pour les formules, les boucles internes (et non des programmes)
 - Certaines sont naturelles
 - Σ pour l'addition, X pour la multiplication
 - D'autres sont bizarres
 - Z^{-1} signifie prendre la variable de l'itération précédente
- Ces graphes sont triviaux à interpréter.

Le filtrage FIR

- Les m échantillons les plus récents dans une ligne à retard (X_i)
- Le nouvel échantillon fait avancer les données dans la ligne à retard
- L'étape est une addition-multiplication
- Chaque étape (M+1 au total) a besoin de
 - Deux accès aux données
 - Une multiplication
 - Une accumulation
 - Une écriture mémoire pour mettre à jour la ligne à retard
- L'objectif : 1 étape du filtre FIR par cycle d'instruction du DSP

Les hypothèses DSP

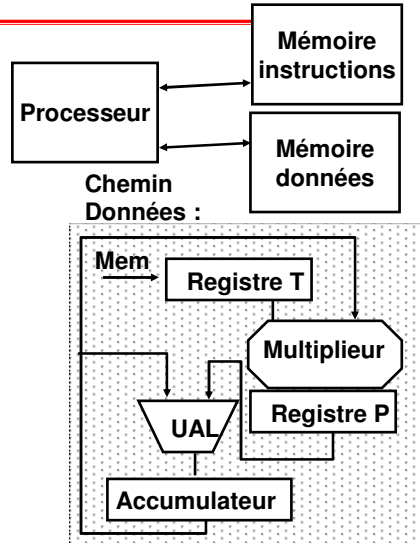
- Les processeurs lancent/exécutent/terminent les instructions dans l'ordre
- Les processeurs lancent une instruction par cycle
- Chaque ligne de code assembleur correspond à une instruction
- CPI = 1
- Le calcul flottant est lent et cher

Le filtre FIR sur un processeur généraliste

- `loop:`
 - `lw x0, 0(r0)`
 - `lw y0, 0(r1)`
 - `mul a, x0,y0`
 - `add y0,a,b`
 - `sw y0,(r2)`
 - `inc r0`
 - `inc r1`
 - `inc r2`
 - `dec ctr`
 - `tst ctr`
 - `jnz loop`
- Problèmes :
 - goulet d'étranglement bus/mémoire
 - Surcoût du code de gestion de boucle

DSP 1ère génération (1982): TI TMS32010

- Virgule fixe 16 bits
- “Architecture Harvard”
 - Mémoires instructions et données séparées
- Accumulateur
- Jeu d’instructions spécialisé
 - Load and Accumulate
- Temps de la multiplication-accumulation (MAC) : 390 ns; 228 ns aujourd’hui



Code du filtre FIR sur TMS 32010

- X4, H4, ... Sont des adresses mémoire directes (absolues) :

```
LT X4      ; Load T with x(n-4)
MPY H4     ; P = H4*X4
LTD X3     ; Load T with x(n-3); x(n-4) =
            x(n-3); ; Acc = Acc + P
MPY H3     ; P = H3*X3
LTD X2
MPY H2
```

...

- Deux instructions par étape, avec déroulage

Les caractéristiques communes de la plupart des DSP

- Chemin de données organisé pour traitement du signal
- Jeu d'instructions spécialisé
- Plusieurs bancs mémoire et plusieurs bus
- Modes d'adressage spécialisés
- Contrôle d'exécution spécialisé
- Périphériques spéciaux pour le traitement du signal

L'arithmétique utilisée

- Les DSP ont besoin de nombres représentant le monde réel
 - → « réels »/ fractions
- Les DSP ont besoin de nombre pour les adresses
 - → Entiers
- Offrent la virgule fixe et les entiers

$S.$	$-1 \leq x < 1$
virgule	

S	$-2^{N-1} \leq x < 2^{N-1}$
virgule	

Précision des nombres

- La taille des mots influe sur la précision des nombres en virgule fixe
 - Les DSP ont des mots de 16, 20 ou 24 bits
- Les DSP travaillant en flottant coûtent deux à quatre fois plus chers que ceux en virgule fixe, sont plus lents
- Les programmeurs de DSP vont fixer l'étendue des valeurs à l'intérieur du code
 - Bibliothèques logicielles
 - Exposant explicite séparé
 - Flottant par bloc : un seul exposant pour un ensemble de parties fractionnaires
- Le support du calcul flottant simplifie le développement logiciel

Les débordements

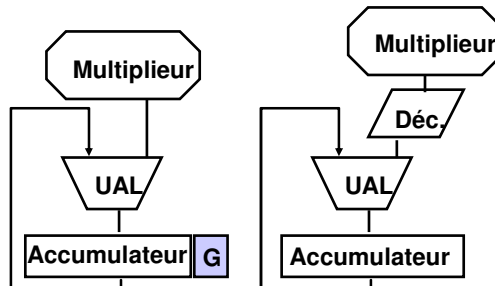
- Les DSP descendent de l'analogique
 - Qu'arrive-t-il lorsqu'on augmente une entrée (augmente le volume sur une chaîne stéréo ?)
 - Signification de l'arithmétique modulo ?
- Utilisation de l'arithmétique saturée
 - Positionner à la valeur la plus positive ou la plus négative
 - Beaucoup d'algorithmes utilisent ce modèle

La multiplication

- Matériel spécialisé pour effectuer toutes les opérations arithmétiques en 1 cycle
- Plus de 50% des instructions peuvent avoir besoin du multiplieur
 - Latence du multiplieur : 1 cycle
- Besoin de la multiplication accumulation (MAC)
- Un multiplieur n bit génère un produit sur $2n$ bits

Accumulateur

- On ne veut pas de débordement ou devoir étendre l'accumulateur
- Option 1 : accumulateur plus grand que le produit : « bits de garde »
 - DSP Motorola : $24 \text{ b} \times 24 \text{ b} \rightarrow$ produit 48 b , accumulateur 56 b
- Option 2 : décaler à droite et arrondir le produit avant l'addition



Les arrondis

- Même avec des bits de garde, on doit arrondir pour ranger l'accumulateur en mémoire
- 3 options standard
 - Troncation : tronquer les résultats
→ résultat biaisé
 - Arrondi au plus proche
< 1/2 arrondi vers le bas, \geq 1/2 arrondi vers le haut (plus positif)
→ biais réduit
 - Convergent:
< 1/2 arrondi vers le bas, > 1/2 arrondi vers le haut (plus positif), = 1/2 arrondi pour faire du bit le moins significatif un 0 (+1 si 1, +0 si 0)
IEEE 754 appelle cela *round to nearest even*

Mémoire des DSP

- L'étape FIR implique plusieurs accès mémoire
- Les DSP ont besoin de plusieurs ports de données
- Certains DSP ont des techniques ad hoc pour réduire le besoin en bande passante mémoire
 - Tampon de répétition d'instructions
 - do 1 instruction 256 times
 - Inhibe souvent les interruptions, ce qui augmente le temps de réponse des interruptions
- Les DSP n'ont pas de caches de données
- Peuvent avoir plusieurs mémoires de données

Les modes d'adressage

- Ont les modes d'adressage standard : immédiat, déplacement, registre indirect
- Veulent que le chemin de données MAC soit occupé en permanence
- Hypothèses
 - Toute instruction supplémentaire implique un surcoût en cycles d'horloge pour la boucle interne
 - Les modes d'adressage complexes sont utiles
 - Ne pas utiliser le chemin de données pour calculer des adresses
- Modes registre indirect autoincrémenté/autodécémenté
 - `lw r1,0(r2)+ // r1 ← M[r2] ; r2←←r2+1`
 - La mise à jour peut être avant l'adressage, positive ou négative

Les tampons

- Les DSP traitent en continu des E/S
- Interagissent souvent un tampon d'E/S (ligne à retard)
- Pour réduire les besoins mémoire, le tampon est souvent organisé comme un tampon circulaire
- Technique pour contrôler le non débordement du tampon circulaire
 - Option 1 : on a un registre de début et un registre de fin à utiliser avec l'adressage auto-incrémenté. On revient au début quand on atteint la fin du tampon
 - Option 2 : on a un registre de longueur du tampon. On suppose que le tampon débute sur une adresse alignée. On revient au début quand on atteint la fin
- Tout DSP a un mode d'adressage « modulo » ou « circulaire »

L'adressage pour la FFT

- Les FFT commencent ou finissent avec un ordre lié au « papillon » FFT

0 (000)	→	0 (000)
1 (001)	→	4 (100)
2 (010)	→	2 (010)
3 (011)	→	6 (110)
4 (100)	→	1 (001)
5 (101)	→	5 (101)
6 (110)	→	3 (011)
7 (111)	→	7 (111)
- Mode d'adressage optionnel adresse « *bit reverse* » à utiliser avec l'adressage auto-incrémenté
- Beaucoup de DSP ont l'adressage « bit reverse » pour la FFT base 2.

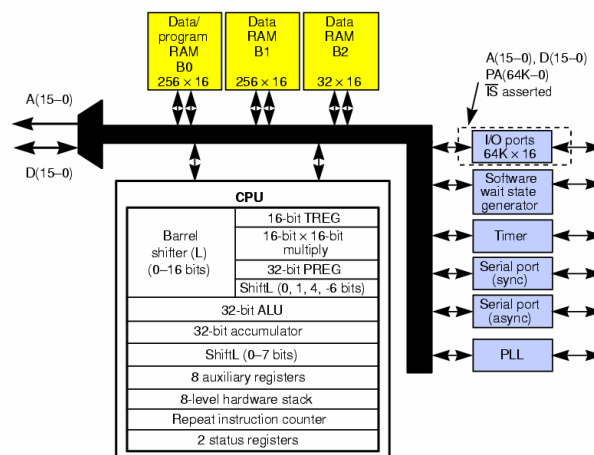
Les instructions DSP

- Peuvent spécifier plusieurs opérations en une seule instruction
- Doivent avoir la multiplication accumulation (MAC)
- Doivent permettre des transferts en parallèle
- Ont généralement un support spécial pour les boucles pour réduire le surcoût de branchement
 - Boucle pour une instruction ou une séquence
 - Compteur d'itérations
- Peuvent avoir des décalages à gauche arithmétique saturant
- Peuvent avoir l'exécution conditionnelle pour réduire les branchements

Les critères de performance des DSP

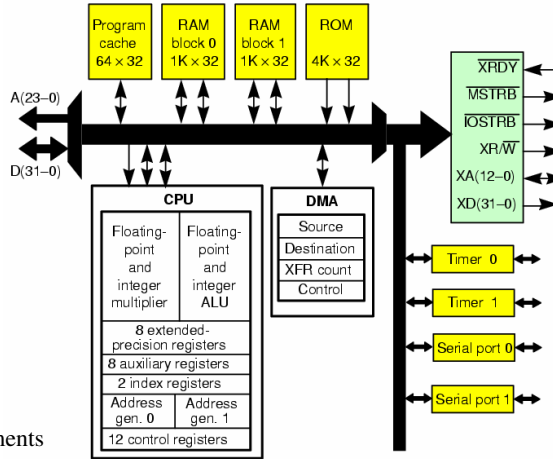
- Le nombre de MAC des DSP est le critère de vitesse
 - Les DSP sont jugés sur leur capacité à avoir leurs multiplieurs occupés 100% du temps
- Les benchmarks des DSP
 - Les filtres IIR (*Infinite Impulse Response*)
 - Les filtres FIR (*Finite Impulse Response*)
 - La FFT
 - Les convolutions
- Pour les DSP, les algorithmes sont rois
 - La compatibilité binaire n'est pas encore un problème
- Le logiciel n'est pas (encore) roi
 - Les programmeurs écrivent encore en assembleur pour minimiser la surface de la ROM dans le circuit DSP.

Schéma fonctionnel du TMS320C203/LC203 (1995)



Slide Texas Instruments

Schéma fonctionnel du TMS320C30



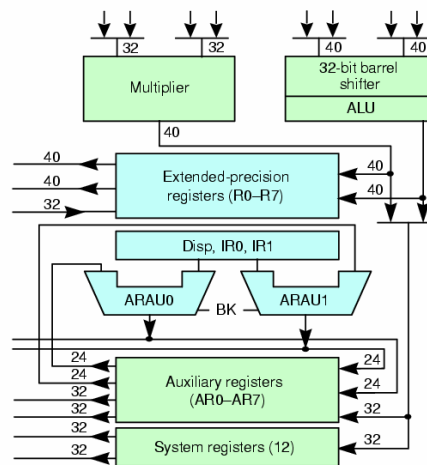
Slide Texas Instruments

M1 Informatique
2004

Architectures avancées
D. Etiemble

29

Schéma fonctionnel du CPU TMS320C3x



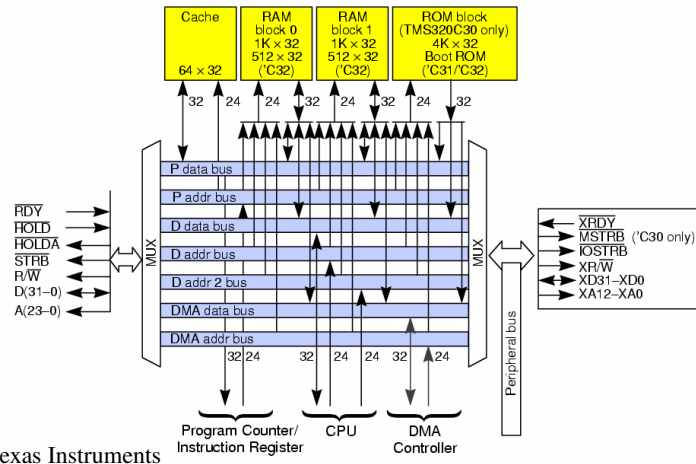
Slide Texas Instruments

M1 Informatique
2004

Architectures avancées
D. Etiemble

30

Schéma fonctionnel mémoire du TMS320C3x



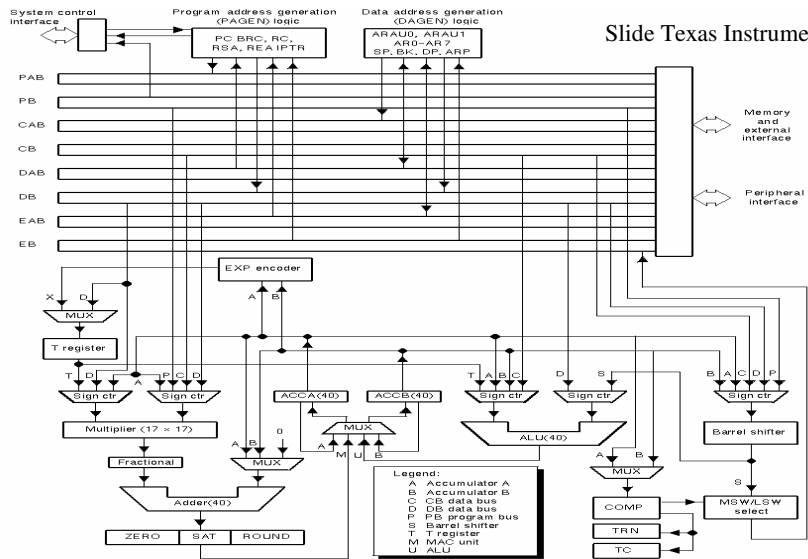
Slide Texas Instruments

M1 Informatique
2004

Architectures avancées
D. Etienne

31

Schéma fonctionnel du TMS320C54x



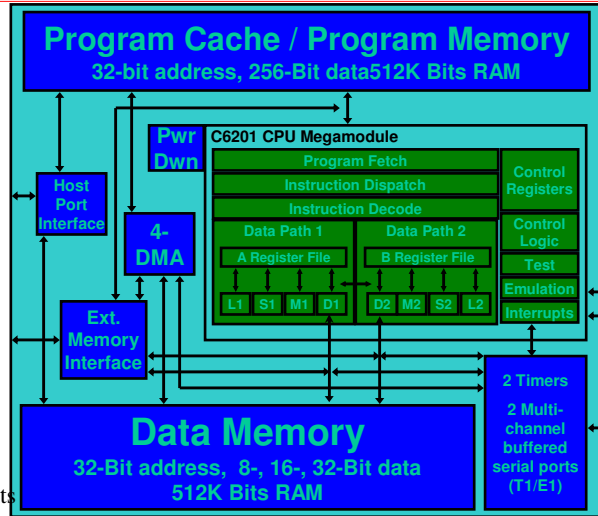
Slide Texas Instruments

M1 Informatique
2004

Architectures avancées
D. Etienne

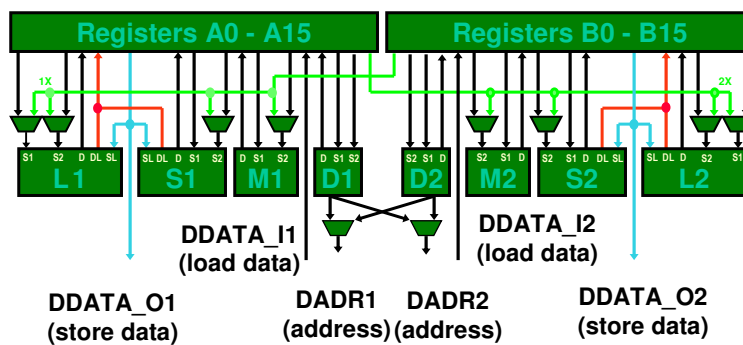
32

Schéma fonctionnel TMS320C6201



Slide Texas Instruments

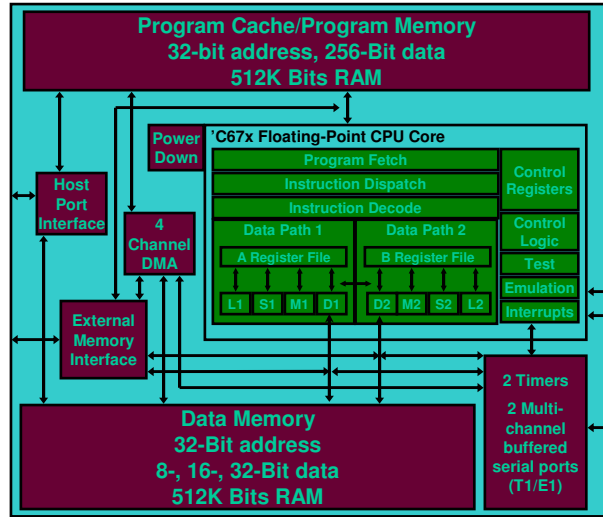
Chemin de données C62x



- Chemins de croisement
- Chemins d'écriture 40 bits (8 MSBs)
- Chemins lecture/écriture 40 bits

Slide Texas Instruments

Schéma fonctionnel du DSP TMS320C6701



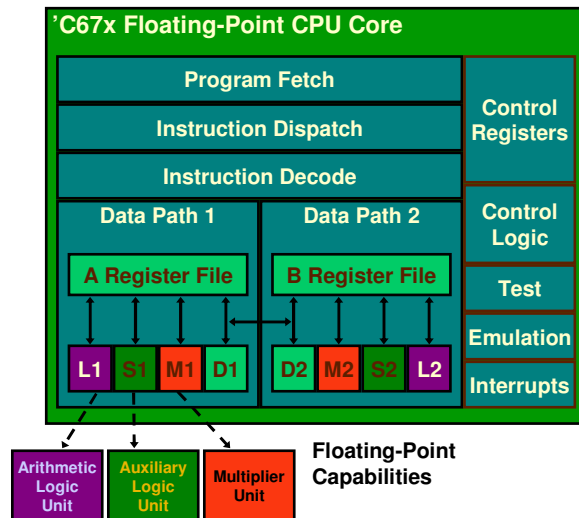
Slide Texas Instruments

M1 Informatique
2004

Architectures avancées
D. Etiemble

35

CPU TMS320C67x



Slide Texas Instruments

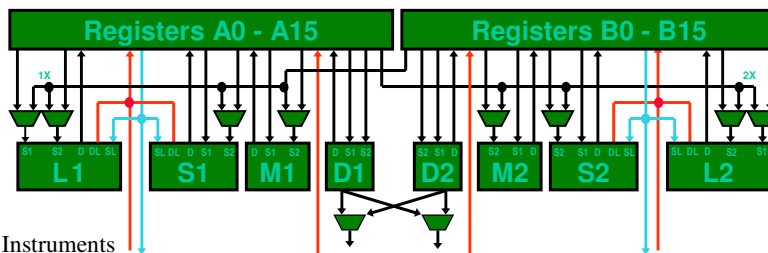
M1 Informatique
2004

Architectures avancées
D. Etiemble

36

Chemins de données C67x

- 2 Data Paths
 - 8 Functional Units
 - Orthogonal/Independent
 - 2 Floating Point Multipliers
 - 2 Floating Point Arithmetic
 - 2 Floating Point Auxiliary
 - Control
 - Independent
 - Up to 8 32-bit Instructions
 - Registers
 - 2 Files
 - 32, 32-bit registers total
 - Cross paths (1X, 2X)
- L-Unit (L1, L2)
 - Floating-Point, 40-bit Integer ALU
 - Bit Counting, Normalization
 - S-Unit (S1, S2)
 - Floating Point Auxiliary Unit
 - 32-bit ALU/40-bit shifter
 - Bitfield Operations, Branching
 - M-Unit (M1, M2)
 - Multiplier: Integer & Floating-Point
 - D-Unit (D1, D2)
 - 32-bit add/subtract Addr Calculations



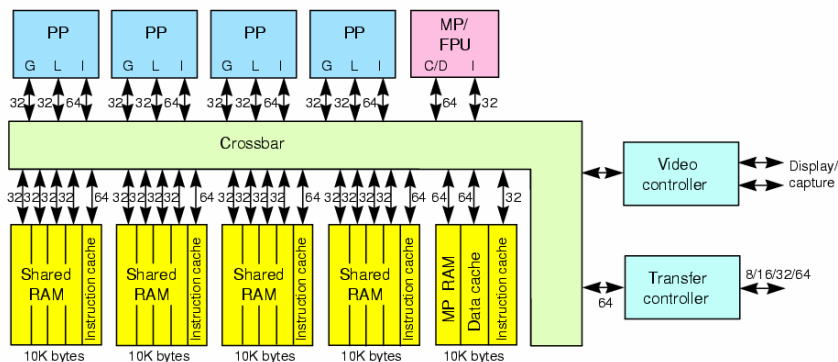
Slide Texas Instruments

M1 Informatique
2004

Architectures avancées
D. Etiemble

37

Multiprocesseur MIMD TMS320C80 (1996)



Slide Texas Instruments

M1 Informatique
2004

Architectures avancées
D. Etiemble

38